



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Hong-Sick PARK, *et al.*

Art Unit: TBD

Appl. No.: 10/772,293

Examiner: TBD

Filed: February 6, 2004

Atty. Docket: 6192.0352.US

For: **ETCHANT FOR SIGNAL WIRE AND  
METHOD OF MANUFACTURING THIN  
FILM TRANSISTOR ARRAY PANEL USING  
ETCHANT**

**Claim For Priority Under 35 U.S.C. § 119 In Utility Application**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

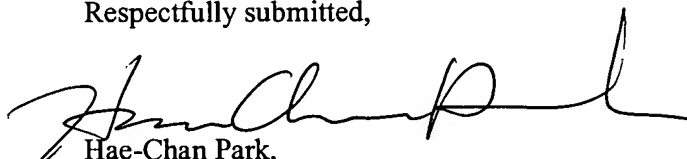
Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

| Country | Priority Document Appl. No. | Filing Date  |
|---------|-----------------------------|--------------|
| KOREA   | 10-2003-0034007             | May 28, 2003 |

A certified copy of Korean Patent Application No. 10-2003-0034007 is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

  
Hae-Chan Park,  
Reg. No. 50,114

Date: June 3, 2004

McGuireWoods LLP  
1750 Tysons Boulevard, Suite 1800  
McLean, VA 22102  
Telephone No. 703-712-5365  
Facsimile No. 703-712-5280



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0034007  
Application Number

출원 년 월 일 : 2003년 05월 28일  
Date of Application MAY 28, 2003

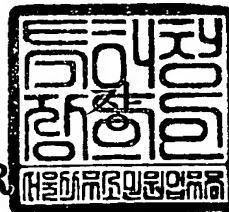
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 02 일

특 허 청

COMMISSIONER



【서지사항】

|            |   |
|------------|---|
| 【서류명】      | 특허출원서   |
| 【권리구분】     | 특허  |
| 【수신처】      | 특허청장  |
| 【제출일자】     | 2003.05.28  |
| 【발명의 명칭】   | 배선용 식각액 및 이를 이용한 박막 트랜지스터 표시판의 제조 방법  |
| 【발명의 영문명칭】 | Etchant for patterning a wiring and method for manufacturing a thin film transistor array panel using the etchant |
| 【출원인】      |   |
| 【명칭】       | 삼성전자 주식회사   |
| 【출원인코드】    | 1-1998-104271-3   |
| 【대리인】      |   |
| 【명칭】       | 유미특허법인  |
| 【대리인코드】    | 9-2001-100003-6   |
| 【지정된변리사】   | 김원근 , 박종하   |
| 【포괄위임등록번호】 | 2002-036528-9   |
| 【발명자】      |   |
| 【성명의 국문표기】 | 박홍식   |
| 【성명의 영문표기】 | PARK, HONG SICK   |
| 【주민등록번호】   | 630502-1019728  |
| 【우편번호】     | 442-400   |
| 【주소】       | 경기도 수원시 팔달구 망포동 683번지 망포마을 현대2차 아이파크 20 2동 1003호  |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 강성철   |
| 【성명의 영문표기】 | KANG, SUNG CHUL   |
| 【주민등록번호】   | 590327-1120410  |
| 【우편번호】     | 449-843   |
| 【주소】       | 경기도 용인시 수지읍 상현리 현대성우2차아파트 164동 1001호  |
| 【국적】       | KR  |

**【발명자】**

**【성명의 국문표기】** 조홍제  
**【성명의 영문표기】** CHO, HONG JE  
**【주민등록번호】** 691019-1345422  
**【우편번호】** 442-470  
**【주소】** 경기도 수원시 팔달구 영통동 주공1차아파트 107동 304호  
**【국적】** KR

**【우선권주장】**

**【출원국명】** KR  
**【출원종류】** 특허  
**【출원번호】** 10-2002-0046512  
**【출원일자】** 2002.08.07  
**【증명서류】** 첨부

**【취지】**

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
유미특허법인 (인)

**【수수료】**

|                 |      |          |
|-----------------|------|----------|
| <b>【기본출원료】</b>  | 20 면 | 29,000 원 |
| <b>【가산출원료】</b>  | 32 면 | 32,000 원 |
| <b>【우선권주장료】</b> | 1 건  | 26,000 원 |
| <b>【심사청구료】</b>  | 0 항  | 0 원      |
| <b>【합계】</b>     |      | 87,000 원 |

**【첨부서류】**

1. 요약서·명세서(도면)\_1통 2. 우선권증명서류 및 동 번역문[특허청기제출]\_1통

**【요약서】****【요약】**

우선, 절연 기판의 상부에 MoW alloy의 하부막과 AlNd alloy의 상부막을 차례로 적층한 다음 50-60% 범위의 인산, 6-10% 범위의 질산, 15-25% 범위의 초산 및 2-5%의 안정제 (stabilizer)와 나머지 초순수를 포함하는 식각액으로 패터닝하여 게이트 전극을 포함하는 게이트선을 형성한다. 이어, 게이트 절연막 및 반도체층을 차례로 형성한 다음, MoW alloy의 도전막을 적층하고 게이트선용 식각액과 동일한 식각액으로 패터닝하여 소스 전극을 가지는 데이터선 및 드레인 전극을 을 형성한다. 이어, 보호막을 적층하고 패터닝하여 드레인 전극을 드러내는 접촉 구멍을 형성한 다음, 보호막의 상부에 IZO를 적층한 다음 게이트선 및 데이터선을 식각한 식각액으로 패터닝하여 드레인 전극과 연결되는 화소 전극을 형성한다.

**【대표도】**

도 1

**【색인어】**

몰리브덴, 알루미늄, 습식식각, 식각액, IZO

【명세서】

【발명의 명칭】

배선용 식각액 및 이를 이용한 박막 트랜지스터 표시판의 제조 방법{Etchant for patterning a wiring and method for manufacturing a thin film transistor array panel using the etchant}

【도면의 간단한 설명】

도 1 내지 도 3은 본 발명의 실험예에 따른 동일한 식각액을 이용하여 다양한 배선을 패터닝한 후 배선의 구조를 촬영한 사진이고,

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 5는 도 4에서 V-V' 선을 따라 잘라 도시한 단면도이고,

도 6a, 7a, 8a 및 9a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판을 제조하는 중간 과정에서의 박막 트랜지스터 표시판의 배치도이고,

도 6b는 도 6a에서 VIb-VIb' 선을 따라 절단한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고,

도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고,

도 9b는 도 9a에서 IXb-IXb' 선을 따라 잘라 도시한 도면으로서 도 8b의 다음 단계를 도시한 단면도이고,

도 10은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 11 및 도 12는 도 10에 도시한 박막 트랜지스터 표시판을 XI-XI' 선 및 XII-XII' 선을 따라 잘라 도시한 단면도이고,

도 13a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 표시판의 배치도이고,

도 13b 및 13c는 각각 도 13a에서 XIIIb-XIIIb' 선 및 XIIIc-XIIIc' 선을 따라 잘라 도시한 단면도이며,

도 14a 및 14b는 각각 도 13a에서 XIIIb-XIIIb' 선 및 XIIIc-XIIIc' 선을 따라 잘라 도시한 단면도로서, 도 13b 및 도 13c 다음 단계에서의 단면도이고,

도 15a는 도 14a 및 14b 다음 단계에서의 박막 트랜지스터 표시판의 배치도이고,

도 15b 및 15c는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도이며,

도 16a, 17a, 18a와 도 16b, 17b, 18b는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도로서 도 15b 및 15c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 19a는 도 18a 및 도 18b의 다음 단계에서의 박막 트랜지스터 표시판의 배치도이고,

도 19b 및 19c는 각각 도 19a에서 XIXb-XIXb' 선 및 XIXc-XIXc' 선을 따라 잘라 도시한 단면도이고,

도 20은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 21은 도 20에서 XXI-XXI' 선을 따라 잘라 도시한 단면도이고,

도 22a, 23, 24a 및 25a는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판을 제조하는 중간 과정에서의 박막 트랜지스터 표시판의 배치도이고,

도 22b는 도 22a에서 XXIIb-XXIIb' 선을 따라 절단한 단면도이고,

도 23b는 도 23a에서 XXIIIb-XXIIIb' 선을 따라 잘라 도시한 도면으로서 도 22b의 다음 단계를 도시한 단면도이고,

도 24b는 도 24a에서 XXIVb-XXIVb' 선을 따라 잘라 도시한 도면으로서 도 23b의 다음 단계를 도시한 단면도이고,

도 25b는 도 25a에서 XXVb-XXVb' 선을 따라 잘라 도시한 도면으로서 도 24b의 다음 단계를 도시한 단면도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<26> 본 발명은 배선용 식각액 및 이를 이용한 박막 트랜지스터 표시판의 제조 방법에 관한 것으로 더욱 상세하게는 도전막을 패터닝하기 위한 배선용 식각액 및 액정 표시 장치의 한 기판으로 사용되는 박막 트랜지스터 표시판의 제조 방법에 관한 것이다.

<27> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.



- <28> 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기관에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기관 중 하나에 형성되는 것이 일반적이다.
- <29> 액정 표시 장치에서 신호 지연을 방지하기 위하여 영상 신호를 전달하는 게이트 배선 또는 데이터 배선은 저 저항을 가지는 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 저 저항 물질을 사용하는 것이 일반적이며, 데이터 배선은 규소와 접하기 때문에 내화성이 우수한 크롬 등을 추가하여 사용한다. 또한, 화소 전극은 투명한 도전 물질인 ITO(indium tin oxide) 등을 이용하여 형성한다.
- <30> 여기서, 박막 트랜지스터 표시판은 통상적으로 도전 물질을 적층하고 마스크를 이용하는 사진 식각 공정으로 패터닝하여 게이트 배선, 데이터 배선 및 화소 전극을 완성한다. 대한민국 특허 출원 번호 2000-2886호에는 게이트 전극을 Al 또는 Al-Nd alloy/Mo의 이중막으로 패터닝하기 위한 식각액에 대하여 기재되어 있으며, 대한민국 출원 번호 2000-13867호에는 Mo/Al 또는 Al-Nd alloy/Mo의 삼중막을 패터닝하기 위한 식각액에 대하여 기재되어 있으며, 대한민국 출원 번호 2001-18351호에는 ITO(indium tin oxide)를 패터닝하기 위한 식각액에 대하여 기재되어 있다.
- <31> 하지만, 각각의 배선용 도전 물질은 막질의 특성이 각각 다르기 때문에 서로 다른 식각액 또는 식각 조건을 적용하여 패터닝하는데, 여러 번의 식각 조건을 적용하기 때문에 제조 공정이 복잡하고 제조 비용이 증가하는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <32> 본 발명이 이루고자 하는 기술적 과제는 제조 공정을 단순화하면서 제조 비용을 최소화할 수 있는 배선을 식각액 및 이를 이용한 박막 트랜지스터 표시판의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <33> 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에서는 게이트선, 데이터선 및 화소 전극을 50-60% 범위의 인산, 6-10% 범위의 질산, 15-25% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하는 식각액으로 패터닝한다.
- <34> 더욱 상세하게는, 기판 위에 게이트 전극을 포함하는 게이트선을 형성하고, 게이트선을 덮는 게이트 절연막을 적층한다. 이어, 게이트 절연막 상부에 반도체층을 형성하고, 소스 전극을 가지는 데이터선 및 드레인 전극을 형성한다. 이어, 드레인 전극과 연결되는 화소 전극을 형성한다. 이때, 게이트선, 데이터선 및 화소 전극은 동일한 식각액을 이용하여 패터닝한다.
- <35> 이때, 게이트선은 알루미늄 또는 알루미늄 합금으로 이루어진 하부막과 몰리브덴 또는 몰리브덴 합금의 상부막으로 형성하고, 데이터선 및 드레인 전극은 몰리브덴 또는 몰리브덴 합금의 도전막을 포함하여 형성하고, 화소 전극은 IZO로 형성하는 것이 바람직하다.
- <36> 여기서, 하부막 및 상부막은 각각 300-600Å 및 1,500-3,000Å 범위의 두께로 각각 형성하고, 데이터선은 1,500-3,000Å 범위의 두께로 형성하고, 화소 전극은 800-1,000Å 범위의 두께로 형성하는 것이 바람직하다.

- <37> 이때, 식각액은 50-60% 범위의 인산, 6-10% 범위의 질산, 15-25% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기산으로 화학식은  $M(OH)_X L_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $H_2O$ ,  $NH_3$ , CN,  $NH_2R$  이며, Y는 0, 1, 2 또는 3이고, R은 알킬기이다.
- <38> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <39> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <40> 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 제조 방법에서는 게이트선, 데이터선 및 화소 전극을 하나의 식각 조건인 습식 식각으로 패터닝한다. 이때, 사용하는 식각액은 50-60% 범위의 인산, 6-10% 범위의 질산, 15-25% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기산으로 화학식은  $M(OH)_X L_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $H_2O$ ,  $NH_3$ , CN,  $NH_2R$  이며, Y는 0,1,2또는 3이고, R은 알킬기이다. 또한, 게이트선 및 데이터선은 몰리브덴 또는 몰리브덴 합금의 단일막 또는 이를 포함하며 알루미늄 또는 알루미늄 합금의 도전막을 추가할 수도 있다. 이때, 몰리브덴 또는 몰리브덴 합금의 단일막으로

형성하는 경우에는 단일막은 1,500-3,000Å 정도의 범위로 형성하는 것이 바람직하며, 알루미늄 또는 알루미늄 합금의 도전막을 포함하는 경우에 도전막은 300-600Å 정도의 범위인 것이 바람직하다. 또한, 화소 전극은 IZO(indium zinc oxide)로 형성하며, 두께는 800-1,000Å 정도의 범위인 것이 바람직하다. 이렇게 하면 동일한 식각 조건에서 양호한 테이퍼각을 가지는 프로파일을 가지는 배선을 형성할 수 있다. 이에 대하여 실험예를 통하여 구체적으로 설명하기로 한다.

<41> 도 1 내지 도 3은 본 발명의 실험예에 따른 동일한 식각액을 이용하여 다양한 배선을 패터닝한 후 배선의 구조를 촬영한 사진이다. 도 1은 Al-Nd alloy의 하부막과 MoW alloy의 상부막을 각각 500Å 및 2,500Å 정도의 두께로 연속 적층한 다음 패터닝한 사진이고, 도 2는 MoW alloy의 도전막을 2000Å 정도의 두께로 적층한 다음 패터닝한 사진이고, 도 3은 IZO를 900Å 정도의 두께로 적층한 다음 패터닝한 사진이다. 여기서, 식각액은 55% 정도의 인산, 8% 정도의 질산, 19% 정도의 초산 및 3%의 안정제(stabilizer)를 포함하는 것을 사용하였으며, 도 1의 경우에는 식각액에 담그는 방법으로 습식 식각을 진행하였으며, 도 2 및 도 3의 경우에는 식각액을 분사하는 방법으로 습식 식각을 진행하였다.

<42> 도 1 내지 도 3에서 보는 바와 같이, 하나의 식각액을 이용하여 Al-Nd alloy의 하부막과 MoW alloy의 상부막을 함께 패터닝하고, MoW alloy의 도전막을 패터닝하고, IZO막을 패터닝하는 경우에 모두 25-50° 테이퍼각을 가지는 배선을 형성할 수 있었다.

<43> 이러한 식각액을 이용한 배선의 제조 방법은 박막 트랜지스터 표시판의 제조 방법에 동일하게 적용할 수 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

- <44> 먼저, 도 4 및 도 5를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 상세히 설명한다.
- <45> 도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 5는 도 4에 도시한 박막 트랜지스터 표시판을 V-V' 선을 따라 잘라 도시한 단면도이다.
- <46> 절연 기판(110) 위에 몰리브덴 또는 몰리브덴 합금으로 이루어진 하부막(201)과 저저항을 가지는 알루미늄 또는 알루미늄 합금으로 이루어진 상부막(202)을 포함하는 게이트선(121)이 테이퍼 구조로 형성되어 있다. 각 게이트선(121)의 일부는 복수의 가지가 뻗어 나와 박막 트랜지스터의 게이트 전극(123)을 이룬다. 이때, 게이트선(121)은 측면은 경사져 있으며, 경사각은 수평면으로부터 20-80° 범위이다. 게이트선(121)의 일부는 이후에 형성되는 화소 전극(190)과 연결되어 있는 유지 축전기용 도전체(177)와 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다.
- <47> 본 발명의 다른 실시예에 따르면, 액정 축전기의 전하 보존 능력을 향상시키는 유지 축전기의 한 전극을 이루는 복수의 유지 전극(storage electrode)(도시하지 않음)이 기판(110) 위에 형성되어 있다. 유지 전극은 공통 전극 전압(줄여서 “공통 전압” 이라고도 함) 따위의 미리 정해진 전압을 외부로부터 인가 받는다. 공통 전압은 또한 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)에도 인가된다.
- <48> 게이트선(121) 및 유지 전극 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

<49> 게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위로 이루어진 복수의 선형 반도체(silicon island)(150)가 형성되어 있다. 각 선형 반도체(150)의 복수의 가지가 해당하는 게이트 전극(123) 위로 뻗어 박막 트랜지스터의 채널을 이룬다. 반도체(150)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위로 만들어진 복수 개의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(163, 165)가 형성되어 있다. 각 섬형 저항성 접촉 부재(165)는 게이트 전극(123)을 중심으로 선형 저항성 접촉 부재(163)의 반대쪽에 위치하며 이와 분리되어 있다. 반도체(150)와 저항성 접촉 부재(163, 165)의 측면은 테이퍼 구조를 가지며, 경사각은 30-80° 범위이다.

<50> 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 박막 트랜지스터의 복수 드레인 전극(drain electrode)(175) 및 복수의 유지 축전기용 도전체(177)가 형성되어 있다. 데이터선(171)과 드레인 전극(175)은 몰리브덴 또는 몰리브덴 합금의 도전막을 포함하며, 게이트선(121)과 같이 알루미늄 또는 알루미늄 합금의 도전막을 포함할 수 있다. 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 각 데이터선(171)에서 뻗은 복수의 가지는 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 각각 해당 저항성 접촉 부재(163, 165)의 상부에 적어도 일부분 위치하고, 서로 분리되어 있으며 게이트 전극(123)에 대하여 서로 반대쪽에 위치한다.

<51> 유지 축전기용 도전체(177)는 게이트선(121)의 돌출부와 중첩되어 있다.

<52> 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)의 측면은 30-80° 범위의 경사각을 가지는 테이퍼 구조를 가질 수 있다.

- <53> 이때, 데이터선(171) 및 드레인 전극(175)은 알루미늄 또는 알루미늄 합금의 도전막을 포함하여 3층막으로 이루어질 수도 있다.
- <54> 반도체(150)와 데이터선(171) 및 드레인 전극(175) 사이에 위치한 저항성 접촉 부재(163, 165)는 이들 사이의 접촉 저항을 낮추어 준다.
- <55> 데이터선(171), 드레인 전극(173) 및 유지 축전기용 도전체(177)와 이들로부터 가려지지 않은 반도체(150) 및 게이트 절연막(1150) 상부에는 평탄화 특성이 우수하며 유전율이 낮은 아크릴계의 유기 절연 물질 또는 SiOC 또는 SiOF 등과 같이 화학 기상 증착으로 형성되며 4.0 이하의 낮은 유전율을 가지는 저유전율 절연 물질로 이루어진 보호막(180)이 형성되어 있다. 이러한 보호막(180)은 드레인 전극(175) 및 유지 축전기용 도전체(177)를 드러내는 접촉 구멍(185, 187)을 가지고 있다. 보호막(180)은 또한 데이터선(171)의 끝 부분(179)을 드러내는 복수의 접촉 구멍(189)을 가지고 있으며, 게이트 절연막(140)과 함께 게이트선(121)의 끝 부분(125)을 드러내는 복수의 접촉 구멍(182)을 가지고 있다. 접촉 구멍(182, 189)은 게이트선(121) 및 데이터선(171)과 그 구동 회로(도시하지 않음)의 전기적 연결을 위한 것이다.
- <56> 이때, 보호막(180)의 접촉 구멍(187, 182, 185, 189)의 측벽은 경사져 있는 것이 바람직하다.
- <57> 여기서, 보호막(180)은 질화 규소로 이루어진 절연막을 더 포함할 수 있으며, 이러한 경우에 절연막은 유기 절연막의 하부에 위치하여 반도체층(150)을 직접 덮는 것이 바람직하다. 또한, 게이트 패드(125) 및 데이터 패드(179)가 위치하는 패드부에서 유기 절연 물질은 완전히 제거하는 것이 바람직한데, 이러한 구조는 패드부에 게이트 패드(125) 및 데이터 패드(179)의 상부에 주사 신호 및 영상 신호를 각각 전달하기 위해 박막 트랜지스터 표시판의 상부에 게이

트 구동 집적 회로 및 데이터 구동 집적 회로를 직접 실장하는 COG(chip on glass) 방식의 액정 표시 장치에 적용할 때 특히 유리하다.

<58> 보호막(180) 위에는 IZO(indium zinc oxide) 따위의 투명한 도전 물질로 만들어지는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되며, 접촉 구멍(187)을 통하여 유지 축전기용 도전체(177)와도 연결되어 있다. 게이트선(121)의 노출부와 유지 축전기용 도전체(177)는 유지 축전기를 이룬다.

<59> 화소 전극(190)은 박막 트랜지스터로부터 데이터 전압을 받아 다른 표시판의 공통 전극과 함께 전기장을 생성하며, 인가 전압을 변화시키면 두 전계 생성 전극 사이의 액정층의 분자 배열이 변화한다. 전기 회로의 관점에서 화소 전극(190)과 공통 전극은 전하를 저장하는 액정 유전체 축전기를 이룬다.

<60> 화소 전극(190)은 게이트선(121) 및 데이터선(171)과 중첩되어 개구율(aperture)을 높이고, 액정 축전기와 병렬로 연결된 복수의 유지 축전기를 이루어 전하 보존 능력을 강화한다.

<61> 한편, 보호막(180)의 위에는 복수의 접촉 부재(contact assistant)(192, 199)가 형성되어 있다. 접촉 보조 부재(192, 199)는 각각 접촉 구멍(182, 189)을 통하여 게이트선(121) 및 데이터선(171)의 노출된 끝 부분(125, 179)과 연결되어 있다. 접촉 보조 부재(192, 199)는 게이트선(121) 및 데이터선(171)의 노출된 끝 부분(125, 179)을 보호하고 박막 트랜지스터 표시판과 구동 회로의 접착성을 보완하기 위한 것이며 필수적인 것은 아니다. 접촉 보조 부재(192, 199)는 화소 전극(190)과 동일한 층으로 형성된다.

<62> 본 발명의 다른 실시예에 따르면 게이트선(121) 및/또는 데이터선(171)의 끝 부분(125, 179)에 인접하게 게이트선(121) 또는 데이터선(171)과 동일한 층으로 고립된 금속편(metal



island)을 형성하고, 그 위의 게이트 절연막(140) 및/또는 하부 절연막(180)에 접촉 구멍을 뚫은 후 접촉 보조 부재(192, 199)와 연결한다.

<63> 그러면, 도 6a 내지 도 9b 및 도 4 및 도 5를 참조하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대하여 구체적으로 설명하기로 한다.

<64> 도 6a, 7a, 8a 및 9a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판을 제조하는 중간 과정에서의 박막 트랜지스터 표시판의 배치도이고, 도 6b는 도 6a에서 VIb-VIb' 선을 따라 절단한 단면도이고, 도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고, 도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고, 도 9b는 도 9a에서 IXb-IXb' 선을 따라 잘라 도시한 도면으로서 도 8b의 다음 단계를 도시한 단면도이다.

<65> 먼저, 도 6a 및 도 6b에 도시한 바와 같이, 유리 기판(110) 상부에 몰리브덴 텅스텐의 하부막(201)과 저저항의 도전 물질인 알루미늄 네오디뮴 합금의 상부막(202)을 500Å 및 2,500Å 정도의 두께로 차례로 적층하고, 식각액( $\text{HNO}_3$  :  $\text{H}_3\text{PO}_4$  :  $\text{CH}_3\text{COOH}$  : 안정제와 초순수를 포함하는 식각액을 이용한 사진 식각 공정으로 상부막(202)과 하부막(201)을 함께 습식 식각으로 패터닝하여 게이트선(121)을 테이퍼 구조로 형성한다.

<66> 이때, 사용하는 식각액은 50-60% 범위의 인산, 6-10% 범위의 질산, 15-25% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기산으로 화학식은  $\text{M}(\text{OH})_X \text{L}_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $\text{H}_2\text{O}$ ,  $\text{NH}_3$ , CN,  $\text{NH}_2\text{R}$  이며, Y는 0,1,2또는 3이고, R은 알킬기이다.

- <67> 다음, 도 7a 및 도 7b에 도시한 바와 같이, 게이트 절연막(140), 비정질 규소층, 도핑된 비정질 규소층의 삼층막을 연속하여 적층하고, 위의 두 층을 사진 식각하여 게이트 절연막(140) 상부에 복수의 선형 반도체(150)와 복수의 선형 도핑된 비정질 규소(doped amorphous silicon island)(160)를 테이퍼 구조로 형성한다.
- <68> 다음, 도 8a 내지 도 8b에 도시한 바와 같이, 몰리브덴 텅스텐 합금의 도전막을 2,000 Å 정도의 두께로 적층하고 게이트선(121)을 패터닝한 식각액을 이용한 사진 식각 공정으로 패터닝하여 복수의 소스 전극(173)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 유지 축전기용 도전체(177)를 테이퍼 구조로 형성한다. 이어, 데이터선(171) 및 드레인 전극(175)으로 가려지지 않은 도핑된 비정질 규소(160) 부분을 제거하여, 도핑된 비정질 규소(160) 각각을 선형 및 섬형 저항성 접촉 부재(163, 165)로 분리하는 한편, 둘 사이의 반도체(150) 부분을 노출시킨다. 이어, 노출된 반도체(150)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.
- <69> 다음으로, 도 9a 및 9b에서 보는 바와 같이, 질화 규소를 적층하거나 또는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질을 기판(110)의 상부에 코팅(coating)하거나 PECVD(plasma enhanced chemical vapor deposition) 방법으로 a-Si:C:O 막 또는 a-Si:O:F 막 등의 저유전율 CVD막을 증착하여 보호막(180)을 형성한다. 이어, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140)과 함께 패터닝하여, 게이트선의 끝 부분(125), 드레인 전극(175), 데이터선의 끝 부분(179) 및 유지 축전기용 도전체(177)를 드러내는 접촉 구멍(182, 185, 189, 187)을 형성한다. 이때, 접촉 구멍(182, 185, 189, 187)을 통하여 드러난 부분에서는 이후에 형성되는 IZO의 화소 전극(190)과의 접촉 특성을 고려하여 알루미늄을 포함한 도전 물질을 제거하는 것이 바람직하다.

<70> 다음, 도 4 및 도 5에서 보는 바와 같이, IZO의 투명 도전 물질을 900Å 정도의 두께로 증착하고 게이트선(121) 및 데이터선(121)을 패터닝한 식각액을 이용한 사진 식각 공정으로 패터닝하여 접촉 구멍(187, 185)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)과 연결되는 화소 전극(190)과 접촉 구멍(182, 189)을 통하여 게이트선의 끝 부분(125) 및 데이터선의 끝 부분(179)과 각각 연결되는 보조 게이트 접촉 부재(92) 및 보조 데이터 접촉 부재(97)를 각각 형성한다.

<71> 이러한 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 제조 방법에서는 게이트선, 데이터선 및 화소 전극을 동일한 식각액을 이용하여 패터닝함으로써 제조 공정을 단순화할 수 있으며, 제조 설비를 줄일 수 있어 제조 비용을 최소화할 수 있다.

<72> 또한, 앞에서는 반도체층과 데이터선을 서로 다른 마스크를 이용한 사진 식각 공정으로 형성하는 제조 방법에 본 발명의 실시예를 적용하여 설명하였지만, 본 발명에 따른 제조 방법은 제조 비용을 최소화하기 위하여 반도체층과 데이터선을 하나의 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 표시판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<73> 먼저, 도 10 내지 도 12를 참고로 하여 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 단위 화소 구조에 대하여 상세히 설명한다.

<74> 도 10은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치 도이고, 도 11 및 도 12는 각각 도 10에 도시한 박막 트랜지스터 표시판을 XI-XI' 선 및 XII-XII' 선을 따라 잘라 도시한 단면도이다.

- <75> 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판(100)은 하부 절연 기판(110) 위에 형성되어 있는 복수의 유지 전극선(131)을 포함하며, 복수의 게이트선(121)에는 확장부가 존재하지 않는 것이 그 특징 중 하나이다. 유지 전극선(131)은 게이트선(121)과 동일한 층으로 만들어지고, 게이트선(121)과 거의 평행하며 게이트선(121)으로부터 전기적으로 분리되어 있다. 유지 전극선(131)은 그 일부인 유지 전극(133)과 함께 공통 전압 따위의 전압을 인가 받으며, 복수의 화소 전극(190)과 연결된 복수의 드레인 전극(175)과 게이트 절연막(140)을 중심으로 서로 마주 보고 있어 복수의 유지 축전기를 이룬다. 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 유지 전극선(131)은 생략할 수도 있으며, 화소 영역의 개구율을 고려하여 화소 영역의 가장자리에 배치할 수도 있다.
- <76> 또한, 복수의 선형 반도체(152) 및 복수의 저항성 접촉 부재(163, 165)가 구비되어 있다.
- <77> 선형 반도체(152)는 박막 트랜지스터의 채널 영역(C)을 제외하면 복수의 데이터선(171) 및 복수의 드레인 전극(175)과 거의 동일한 평면 모양이다. 즉, 채널 영역(C)에서 데이터선(171)과 드레인 전극(175)은 서로 분리되어 있으나, 선형 반도체(152)는 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 이룬다. 저항성 접촉 부재(163, 165)는 각각 데이터선(171) 및 드레인 전극(175)과 동일한 모양이다.
- <78> 게이트선(121), 유지 전극선(131), 반도체층(152) 및 저항성 접촉 부재(163, 165)는 테이퍼 구조를 가진다.
- <79> 그러면, 도 10 내지 도 12의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 표시판을 제조하는 방법에 대하여 상세하게 도 10 내지 도 12와 도 13a 내지 도 19c를 참조하여 설명하기로 한다.

<80> 먼저, 도 13a 내지 13c에 도시한 바와 같이, 몰리브덴 또는 몰리브덴 합금으로 이루어진 하부막과 알루미늄 또는 알루미늄 합금의 상부막을 차례로 적층하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 게이트선(121)과 유지 전극선(131) 및 유지 전극(133)을 포함하는 유지 배선을 테이퍼 구조로 형성한다. 이때, 사진 식각 공정에서는 습식 식각으로 패터닝하며, 습식 식각시 사용하는 식각액은 50-60% 범위의 인산, 6-10% 범위의 질산, 15-25% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기 산으로 화학식은  $M(OH)_X L_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $H_2O$ ,  $NH_3$ , CN,  $NH_2R$  이며, Y는 0,1,2또는 3이고, R은 알킬기이다.

<81> 다음, 도 14a 및 14b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 도핑되지 않은 비정질 규소의 반도체층(150), 도핑된 비정질 규소의 중간층(160)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 1400 Å 내지 600 Å의 두께로 연속 증착한다. 이어, 몰리브덴 또는 몰리브덴 합금으로 이루어진 도전체층(170)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(210)을 1 μm 내지 2 μm의 두께로 도포한다.

<82> 그 후, 광마스크를 통하여 감광막(210)에 빛을 조사한 후 현상하여, 도 15b 및 15c에 도시한 바와 같이, 두께가 서로 다른 제1 부분(212)과 제2부분(214)을 포함하는 감광막 패턴(212, 214)을 형성한다. 이때, 박막 트랜지스터의 채널 영역(C)에 위치한 제2 부분(214)은 데이터 영역(A)에 위치한 제1 부분(212)보다 두께가 작게 되도록 하며, 기타 영역(B)의 감광막(210) 부분은 모두 제거하거나 매우 작은 두께를 가지도록 한다. 이 때, 채널 영역(C)에 남아 있는 제2 부분(214)의 두께와 데이터 영역(A)에 남아 있는 제1 부분(212)의 두께의 비는 후에

후술할 식각 단계에서의 식각 조건에 따라 다르게 하되, 제2 부분(214)의 두께를 제1 부분(212)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

<83> 이와 같이, 위치에 따라 감광막 패턴의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투명 영역(transparent area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿(slits) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 것이다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성한다.

<84> 먼저, 도 16a 및 16b에 도시한 것처럼, 기타 영역(B)의 노출되어 있는 도전체층(170) 부분을 제거하여 그 하부의 도핑된 비정질 규소층(160)을 노출시킨다. 알루미늄 또는 알루미늄 합금을 포함하는 도전체층(170)에 대해서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있다. 크롬을 포함하는 경우에 크롬에 대해서는  $CeNH_3$  따위를 식각제로 하는 습식 식각이 바람직하다. 건식 식각의 경우 감광막 패턴(212, 214)도 함께 식각되어 두께가 줄어들 수 있다. 도면 부호 178은 도전체층(170) 중 남아 있는 부분을 가리킨다. 또한, 몰리브덴 또는 몰리브덴 합금 또는 알루미늄 또는 알루미늄 합금을 포함하는 경우에는 게이트선을 패터닝한 식각액을 이용하여 습식 식각으로 패터닝한다.

<85> 이어, 도 17a 및 17b에 도시한 바와 같이, 기타 영역(B)의 노출된 도핑된 비정질 규소층(170) 부분 및 그 하부의 반도체층(160) 부분을 건식 식각으로 제거하여 아래의 도전체

(178)를 노출시킨다. 감광막 패턴의 제2 부분(214)은 노출된 도핑된 비정질 규소층(170) 부분 및 반도체층(160) 부분과 동시에, 또는 따로 제거한다. 채널 영역(C)에 남아 있는 제2부분(214) 찌꺼기는 애싱(ashing)으로 제거한다. 도면 부호 152는 반도체층(150)의 남아 있는 부분을 가리키며, 도면 부호 168은 도핑된 비정질 규소층(160)의 남아 있는 부분을 나타낸다.

<86> 다음, 도 18a 및 18b에 도시한 바와 같이 채널 영역(C)의 노출된 도전체(178) 부분 및 그 하부의 도핑된 비정질 규소(168) 부분을 제거한다. 이때, 도 17b에 도시한 것처럼 채널 영역(C)의 반도체층(152)의 상부 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제1 부분(212)도 이때 어느 정도의 두께로 식각된다.

<87> 이렇게 하면, 채널 영역(C)의 도전체(178) 각각이 데이터선(171)과 복수의 드레인 전극(175)으로 분리되면서 완성되고, 채널 영역(C)의 도핑된 비정질 규소(168) 각각이 하나의 선형 저항성 접촉 부재(163)와 복수의 섬형 저항성 접촉 부재(165)로 나뉘어 완성된다.

<88> 데이터 영역(A)에 남아 있는 감광막 패턴의 제1 부분(212)은 채널 영역(C)의 노출된 도전체(178) 부분을 제거한 후 또는 그 밑의 도핑된 비정질 규소(168)를 제거한 후에 제거한다.

<89> 이와 같이 하여 데이터선(171) 및 드레인 전극(175)을 형성한 후, 도 19a 내지 19c에 도시한 바와 같이 제1 실시예와 같은 절연 물질을 적층하여 보호막(180)을 형성하고, 마스크를 이용하여 보호막(180)을 게이트 절연막(140)과 함께 식각하여 드레인 전극(175), 게이트선의 끝 부분(125) 및 데이터선의 끝 부분(179)을 각각 드러내는 접촉 구멍(185, 182, 189)을 형성한다.

<90> 이어, 도 10 내지 도 12에 도시한 바와 같이, 500 Å 내지 1,000 Å 두께의 IZO를 증착하고 마스크를 사용하여 습식 식각하여 드레인 전극(175)과 연결된 화소 전극(190), 게이트선

의 끝 부분(125)과 연결된 게이트 보조 접촉 부재(92) 및 데이터선의 끝 부분(179)과 연결된 데이터 보조 접촉 부재(97)를 형성한다. 이때에도 앞에서 설명한 바와 같이 게이트선 및 데이터선과 동일한 식각액을 이용하는 식각 조건으로 패터닝한다.

<91> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터선(171) 및 드레인 전극(175)과 그 하부의 접촉 부재(163, 165) 및 반도체(152)를 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(173)과 드레인 전극(175)이 분리하여 제조 공정을 단순화할 수 있다.

<92> 한편, 본 발명의 제1 및 제2 실시예에서는 알루미늄 또는 몰리브덴을 포함하는 단일막 또는 이중막의 신호선과 화소 전극을 하나의 식각액으로 패터닝하는 제조 방법에 대하여 설명하였으나, 식각액의 성분비를 조절하여 삼층막의 신호선과 화소 전극을 동일한 식각액으로 패터닝할 수도 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

<93> 도 20은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 21은 도 20에서 XXI-XXI' 선을 따라 잘라 도시한 단면도이다.

<94> 도 20 및 도 21에서 보는 바와 같이, 본 발명의 제3 실시예에 따른 박막 트랜지스터 표시판이 구조는 도 4 및 도5와 유사하다.

<95> 하지만, 데이터선(171) 및 드레인 전극(175)은 테이퍼 구조를 취하고 있으며, 몰리브덴 또는 몰리브덴 합금으로 이루어진 제1 도전막(701), 알루미늄 또는 알루미늄 합금으로 이루어진 제2 도전막(702), 몰리브덴 또는 몰리브덴 합금으로 이루어진 제3 도전막(703)을 포함하고 있다.



- <96> 이러한 본 발명의 제3 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대하여 도면을 참조하여 구체적으로 설명하면 다음과 같다.
- <97> 도 22a, 23, 24a 및 25a는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판을 제조하는 중간 과정에서의 박막 트랜지스터 표시판의 배치도이고, 도 22b는 도 22a에서 XXIIb-XXIIb' 선을 따라 절단한 단면도이고, 도 23b는 도 23a에서 XXIIIb-XXIIIb' 선을 따라 잘라 도시한 도면으로서 도 22b의 다음 단계를 도시한 단면도이고, 도 24b는 도 24a에서 XXIVb-XXIVb' 선을 따라 잘라 도시한 도면으로서 도 23b의 다음 단계를 도시한 단면도이고, 도 25b는 도 25a에서 XXVb-XXVb' 선을 따라 잘라 도시한 도면으로서 도 24b의 다음 단계를 도시한 단면도이다.
- <98> 먼저, 도 22a 및 도 22b에 도시한 바와 같이, 유리 기판(110) 상부에 몰리브덴으로 이루어진 하부막(201)과 저저항의 도전 물질인 알루미늄 네오디뮴 합금의 상부막(202)을 500 Å 및 2,500 Å 정도의 두께로 차례로 적층하고, 식각액( $\text{HNO}_3$  :  $\text{H}_3\text{PO}_4$  :  $\text{CH}_3\text{COOH}$  : 안정제와 초순수를 포함하는 식각액을 이용한 사진 식각 공정으로 상부막(202)과 하부막(201)을 함께 습식 식각으로 패터닝하여 게이트선(121)을 테이퍼 구조로 형성한다.
- <99> 이때, 사용하는 식각액은 65-75% 범위의 인산, 0.5-4% 범위의 질산, 9-13% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기산으로 화학식은  $\text{M}(\text{OH})_X \text{L}_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $\text{H}_2\text{O}$ ,  $\text{NH}_3$ , CN,  $\text{NH}_2\text{R}$  이며, Y는 0, 1, 2 또는 3이고, R은 알킬기이다.
- <100> 이때, 게이트선(121)은 제1 실시예와 다른 순수 몰리브덴의 하부막(201)을 포함하고 있어 식각액의 성분의 동일하나 각 성분에 대하여 혼합 비율은 제1 실시예와 다르다.

- <101> 다음, 도 23a 및 도 23b에 도시한 바와 같이, 제1 실시예와 동일하게 게이트 절연막 (140), 비정질 규소층, 도핑된 비정질 규소층의 삼층막을 연속하여 적층하고, 위의 두 층을 사진 식각하여 게이트 절연막(140) 상부에 복수의 선형 반도체(150)와 복수의 선형 도핑된 비정질 규소(doped amorphous silicon island)(160)를 테이퍼 구조로 형성한다.
- <102> 다음, 도 24a 내지 도 24b에 도시한 바와 같이, 순수 몰리브덴으로 이루어진 제1 도전막(701), 알루미늄 네오디뮴 합금(Al-Nd alloy)으로 이루어진 제2 도전막 (702) 및 순수 몰리브덴으로 이루어진 제3 도전막(703)을 차례로 적층하고 65-75% 범위의 인산, 0.5-4% 범위의 질산, 9-13% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하는 식각액을 이용한 사진 식각 공정으로 패터닝하여 복수의 소스 전극(173)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 유지 축전기용 도전체(177)를 테이퍼 구조로 형성한다.
- <103> 이어, 데이터선(171) 및 드레인 전극(175)으로 가려지지 않은 도핑된 비정질 규소(160) 부분을 제거하여, 도핑된 비정질 규소(160) 각각을 선형 및 섬형 저항성 접촉 부재(163, 165)로 분리하는 한편, 둘 사이의 반도체(150) 부분을 노출시킨다. 이어, 노출된 반도체(150)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.
- <104> 다음으로, 도 24a 및 24b에서 보는 바와 같이, 제1 및 제2 실시예와 같이 보호막(180)을 형성한 다음, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140)과 함께 패터닝하여, 게이트선의 끝 부분(125), 드레인 전극(175), 데이터선의 끝 부분(179) 및 유지 축전기용 도전체(177)를 드러내는 접촉 구멍(182, 185, 189, 187)을 형성한다. 이때, 접촉 구멍(182, 185, 189, 187)을 통하여 드러난 부분에서는 이후에 형성되는 IZO의 화소 전극(190)과의 접촉 특성을 고려하여 알루미늄을 포함한 도전 물질을 제거하는 것이 바람직하다

<105> 다음, 도 20 및 도 21에서 보는 바와 같이, IZO의 투명 도전 물질을 900Å 정도의 두께로 증착하고 65-75% 범위의 인산, 0.5-4% 범위의 질산, 9-13% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하며, 제3 실시예에서 게이트선(121) 및 데이터선(121)을 패터닝한 식각액을 이용한 사진 식각 공정으로 패터닝하여 화소 전극(190), 보조 게이트 접촉부재(92) 및 보조 데이터 접촉 부재(97)를 각각 형성한다.

<106> 이러한 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 제조 방법에서는 식각액의 성분비를 변화시켜 다층막의 신호선과 IZO의 화소 전극을 동일한 식각액을 이용하여 패터닝함으로써 제조 공정을 단순화할 수 있으며, 제조 설비를 줄일 수 있어 제조 비용을 최소화할 수 있다.

<107> 본 발명에 따른 제조 방법은 박막 트랜지스터 어레이 위에 색 필터를 형성하는 COA(color filter on array) 구조의 박막 트랜지스터 표시판의 제조 방법에서도 동일하게 적용할 수 있다.

<108> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

#### 【발명의 효과】

<109> 이와 같이, 본 발명에서는 게이트선, 데이터선 및 화소 전극을 동일한 식각액을 이용한 식각 조건으로 패터닝함으로써 제조 공정을 단순화할 수 있는 동시에 제조 설비를 최소화할 수 있어 제조 비용을 절감할 수 있다.

**【특허청구범위】****【청구항 1】**

기판 위에 게이트 전극을 가지는 게이트선을 형성하는 단계,  
상기 기판 위에 게이트 절연막을 적층하는 단계,  
상기 게이트 절연막 상부에 반도체층을 형성하는 단계,  
소스 전극을 가지는 데이터선 및 드레인 전극을 형성하는 단계,  
상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법에 있어서,  
상기 게이트선, 상기 데이터선, 상기 드레인 전극 및 상기 화소 전극은 동일한 식각액을 이용하여 패터닝하는 박막 트랜지스터 표시판의 제조 방법.

**【청구항 2】**

제1항에서,  
상기 식각액은 50-60% 범위의 인산, 6-10% 범위의 질산, 15-25% 범위의 초산 및 2-5%의 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기산으로 화학식은  $M(OH)_X L_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $H_2O$ ,  $NH_3$ , CN,  $NH_2R$  이며, Y는 0,1,2또는 3이고, R은 알킬기인 박막 트랜지스터 표시판의 제조 방법.

**【청구항 3】**

제2항에서,

상기 게이트선은 알루미늄 또는 알루미늄 합금으로 이루어진 하부막과 몰리브덴 또는 몰리브덴 합금의 상부막으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

**【청구항 4】**

제3항에서,

상기 데이터선은 몰리브덴 또는 몰리브덴 합금의 도전막으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

**【청구항 5】**

제4항에서,

상기 화소 전극은 IZO로 형성하는 박막 트랜지스터 표시판의 제조 방법.

**【청구항 6】**

제5항에서,

상기 하부막 및 상기 상부막은 각각 300-600 Å 및 1,500-3,000 Å 범위의 두께로 각각 형성하고, 상기 데이터선은 1,500-3,000 Å 범위의 두께로 형성하고, 상기 화소 전극은 800-1,000 Å 범위의 두께로 형성하는 박막 트랜지스터 표시판의 제조 방법.

**【청구항 7】**

제1항에서,

상기 식각액은 65-75% 범위의 인산, 0.5-4% 범위의 질산, 9-13% 범위의 초산 및 2-5%의 안정제(stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기산으로 화

화학식은  $M(OH)_X L_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $H_2O$ ,  $NH_3$ , CN,  $NH_2R$  이며, Y는 0,1,2또는 3이고, R은 알킬기인 박막 트랜지스터 표시판의 제조 방법.

#### 【청구항 8】

제7항에서,

상기 게이트선은 알루미늄 또는 알루미늄 합금으로 이루어진 하부막과 몰리브덴의 상부막으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

#### 【청구항 9】

제8항에서,

상기 데이터선은 몰리브덴의 제1 도전막, 알루미늄 또는 알루미늄 합금의 제2 도전막 또는 몰리브덴의 제3 도전막으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

#### 【청구항 10】

제9항에서,

상기 화소 전극은 IZO로 형성하는 박막 트랜지스터 표시판의 제조 방법.

#### 【청구항 11】

50-60% 범위의 인산, 6-10% 범위의 질산, 15-25% 범위의 초산 및 2-5%의 안정제 (stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기산으로 화학식은  $M(OH)_X L_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $H_2O$ ,  $NH_3$ , CN,  $NH_2R$  이며, Y는 0,1,2또는 3이고, R은 알킬기인 배선용 식각액.

**【청구항 12】**

제11항에서,

상기 배선용 식각액은 알루미늄 또는 알루미늄 합금으로 이루어진 제1 도전막 또는 몰리브덴 또는 몰리브덴 합금으로 이루어진 제2 도전막 또는 상기 제1 및 제2 도전막을 포함하는 다중막을 패터닝하기 위해 사용되는 배선용 식각액.

**【청구항 13】**

제11항에서,

상기 배선용 식각액은 IZO로 이루어진 투명 도전막을 패터닝하기 위해 사용되는 배선용 식각액.

**【청구항 14】**

65-75% 범위의 인산, 0.5-4% 범위의 질산, 9-13% 범위의 초산 및 2-5%의 안정제 (stabilizer)와 나머지 초순수를 포함하며, 안정제는 옥시 하이드로이드 무기산으로 화학식은  $M(OH)_X L_Y$  로 표시하며, M은 Zn, Sn, Cr, Al, Ba, Fe, Ti, Si 또는 B이고, X는 2 또는 3이고, L은  $H_2O$ ,  $NH_3$ , CN,  $NH_2R$  이며, Y는 0,1,2 또는 3이고, R은 알킬기인 배선용 식각액.

**【청구항 15】**

제14항에서,

상기 배선용 식각액은 알루미늄 또는 알루미늄 합금으로 이루어진 제1 도전막 또는 몰리브덴 또는 몰리브덴 합금으로 이루어진 제2 도전막 또는 상기 제1 및 제2 도전막을 포함하는 다중막을 패터닝하기 위해 사용되는 배선용 식각액.

【청구항 16】

제14항에서,

상기 배선용 식각액은 IZO로 이루어진 투명 도전막을 패터닝하기 위해 사용되는 배선용 식각액.

【청구항 17】

제14항에서,

상기 배선용 식각액은 알루미늄 또는 알루미늄 합금으로 이루어진 제1 도전막 및 몰리브덴으로 이루어진 제2 도전막으로 이루어진 다층막과 IZO로 이루어진 제3 도전막을 함께 패터닝하기 위해 사용되는 배선용 식각액.

【청구항 18】

제14항에서,

상기 배선용 식각액은 몰리브덴의 제1 도전막, 알루미늄 또는 알루미늄 합금의 제2 도전막 또는 몰리브덴의 제3 도전막으로 이루어진 삼층박을 패터닝하기 위해 사용되는 배선용 식각액.



1020030034007

출력 일자: 2004/2/4

【도면】

【도 1】



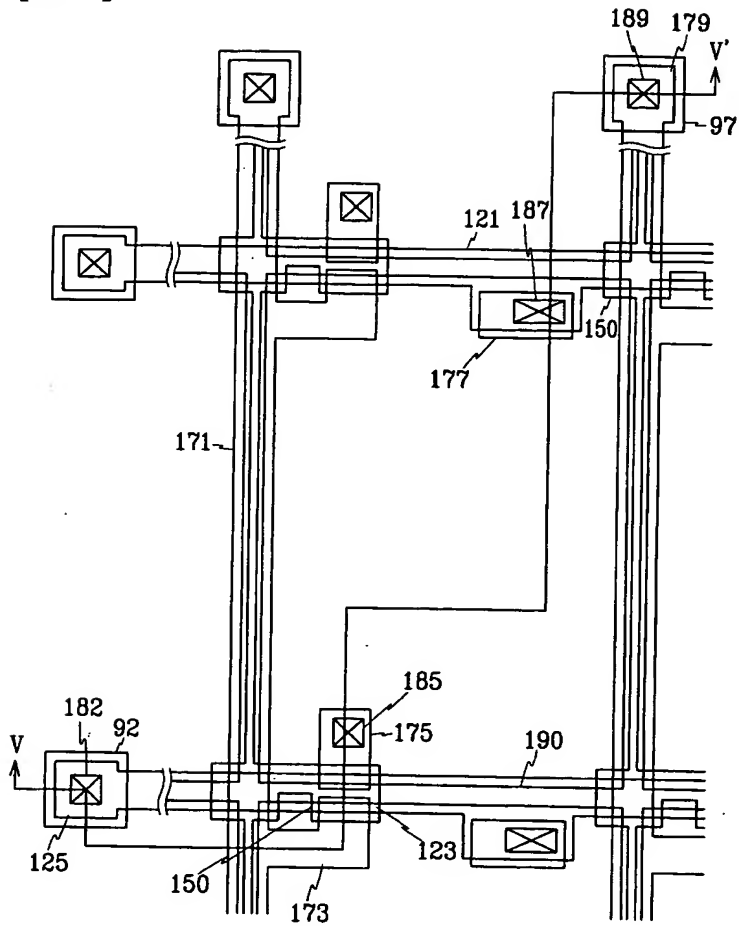
【도 2】



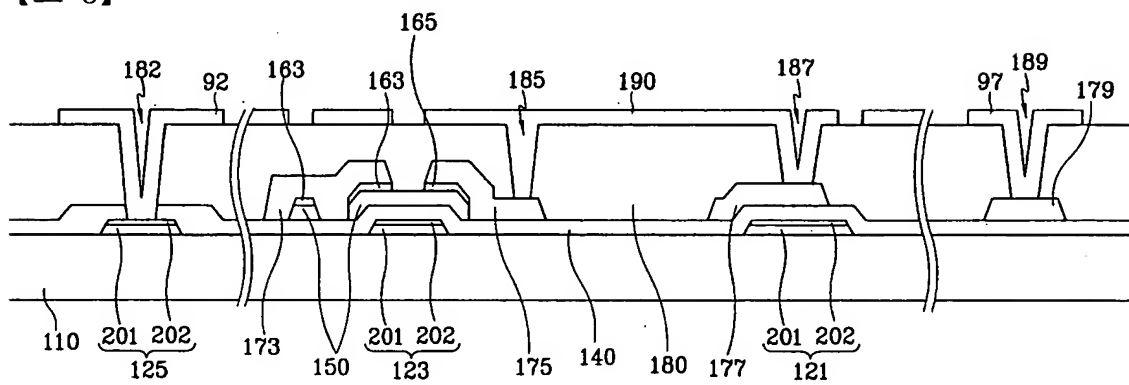
【도 3】



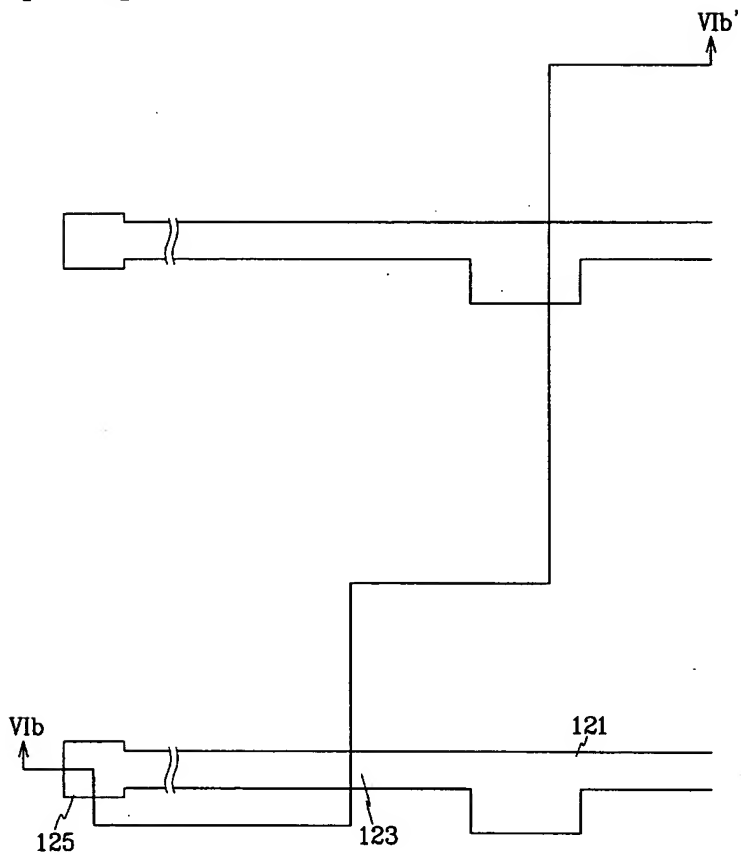
【도 4】



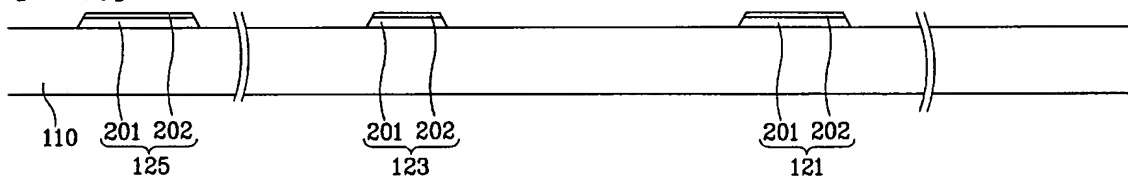
【도 5】



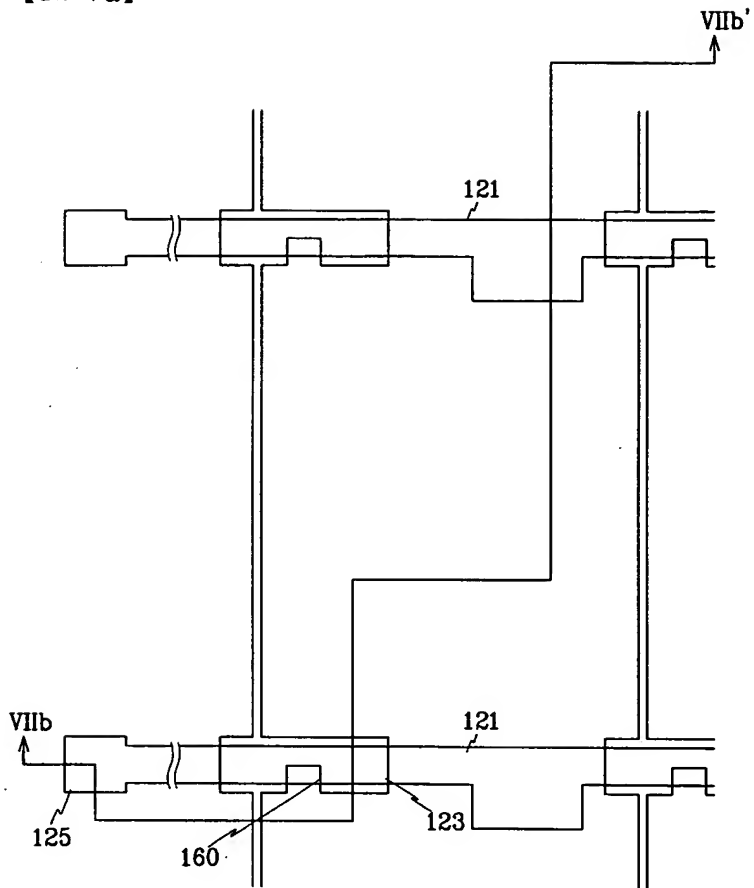
【도 6a】



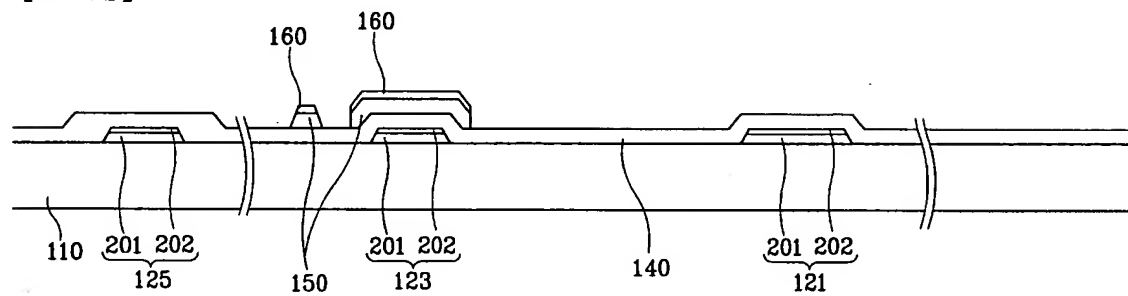
【도 6b】



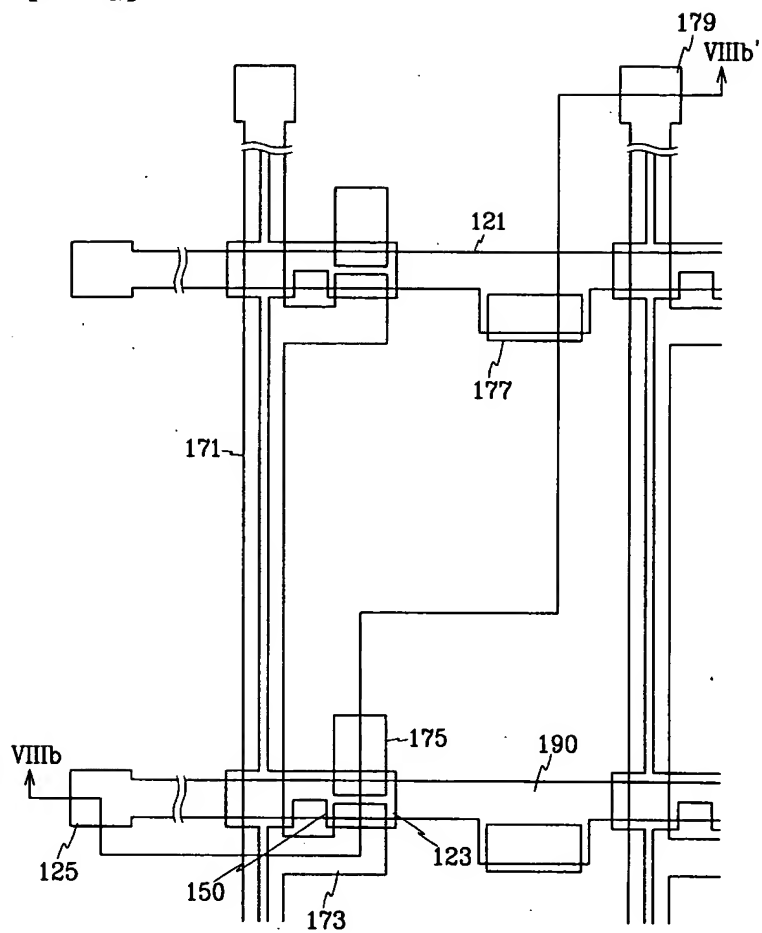
【도 7a】



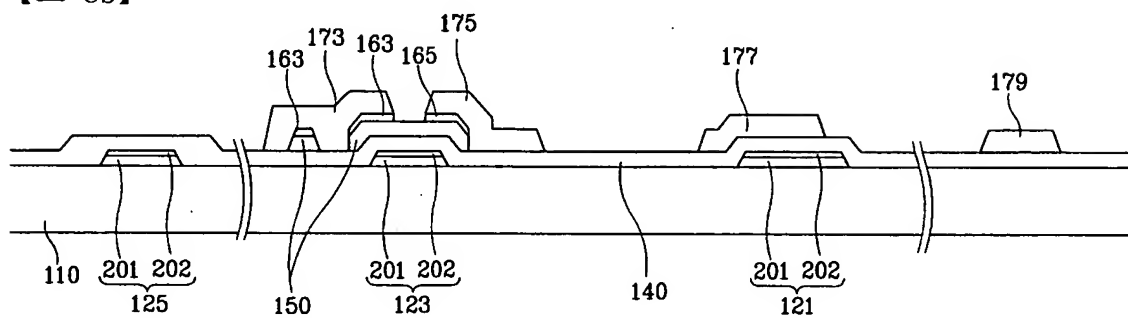
【도 7b】



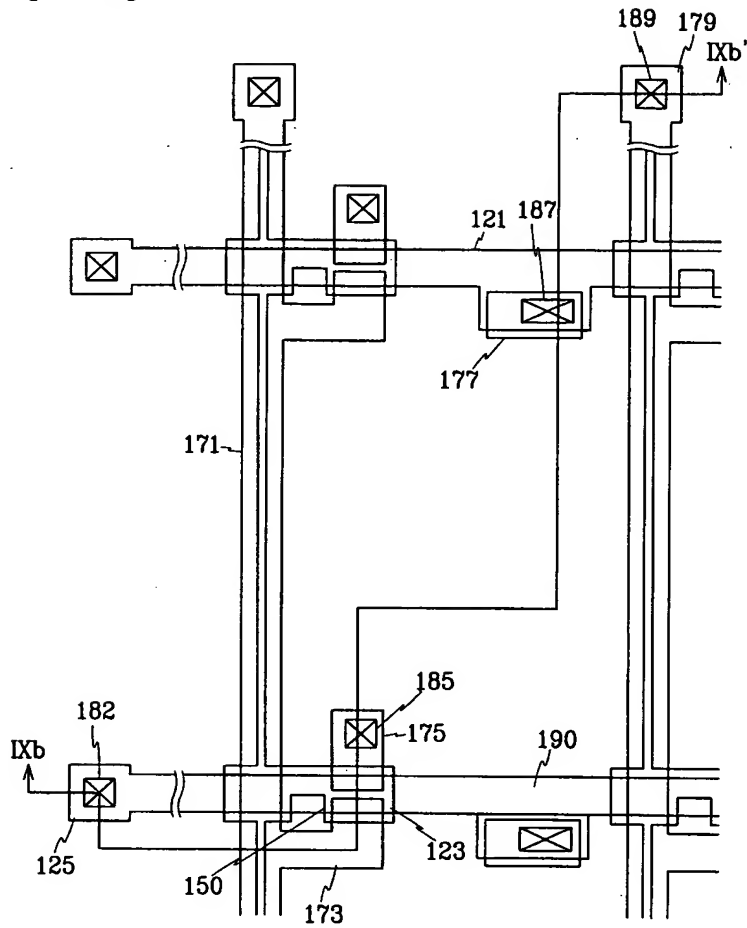
【도 8a】



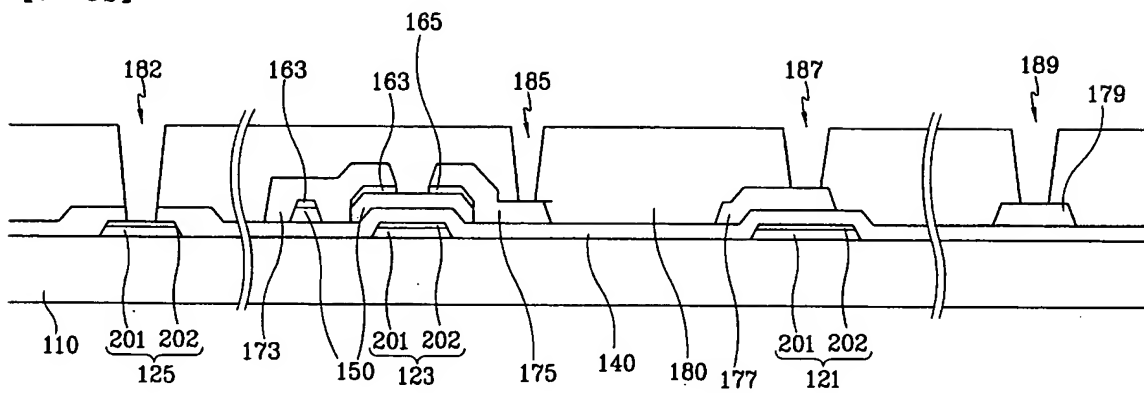
【도 8b】



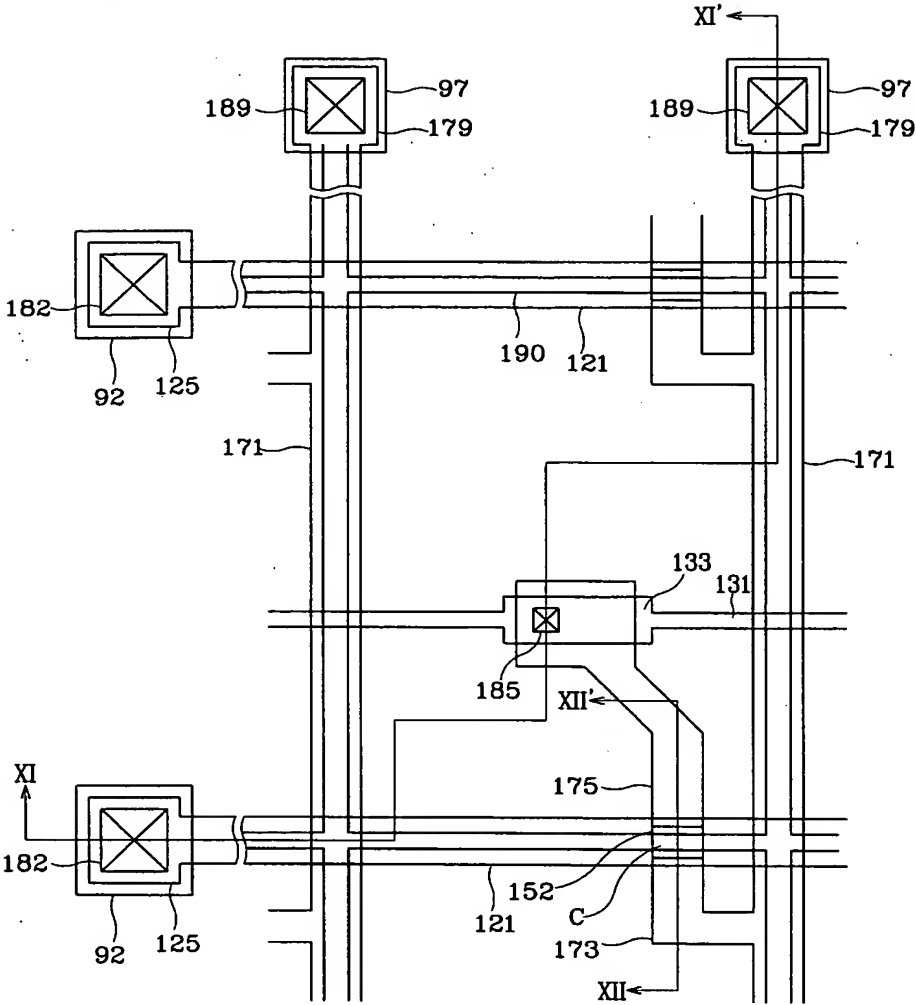
【도 9a】



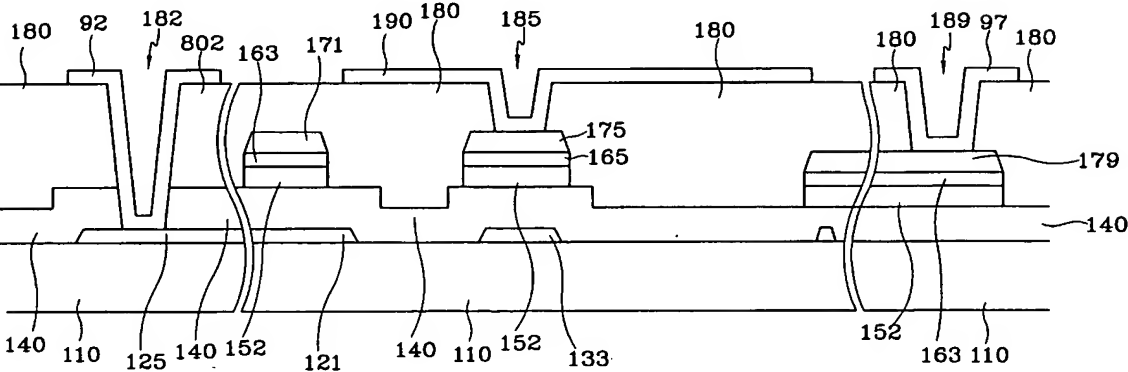
【도 9b】



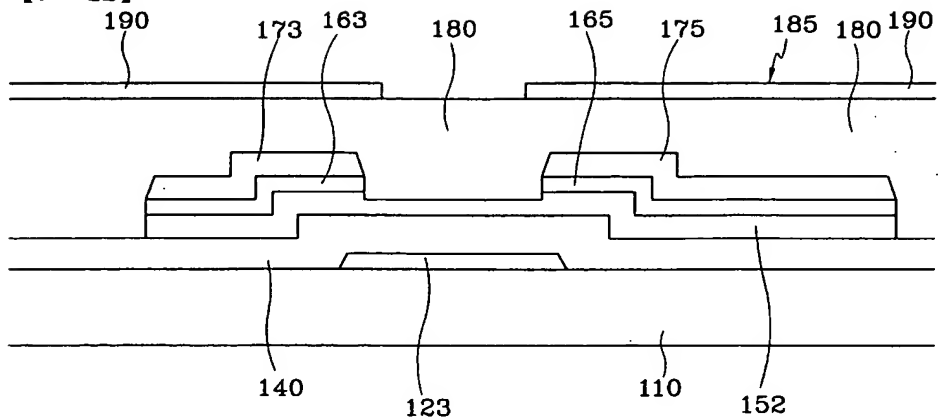
【도 10】



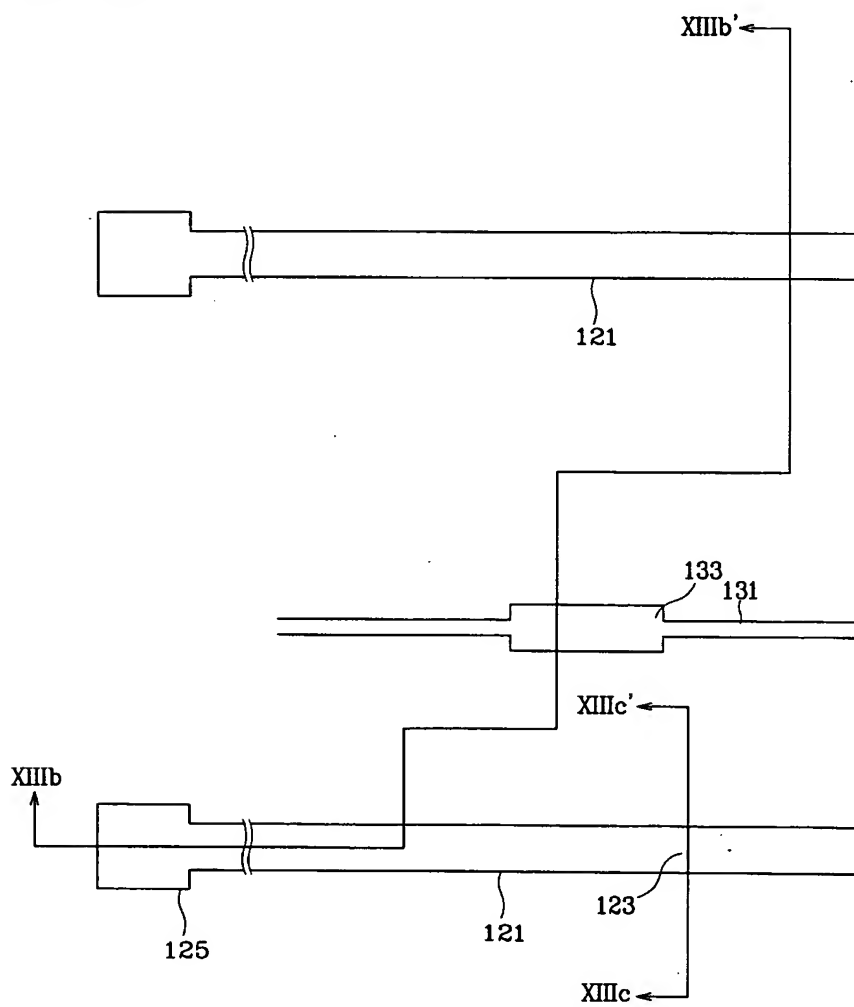
【도 11】



【도 12】

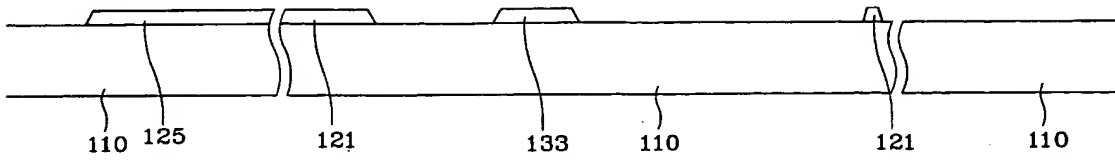


【도 13a】

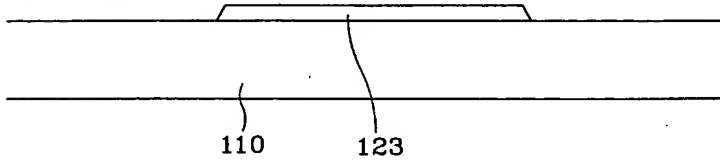




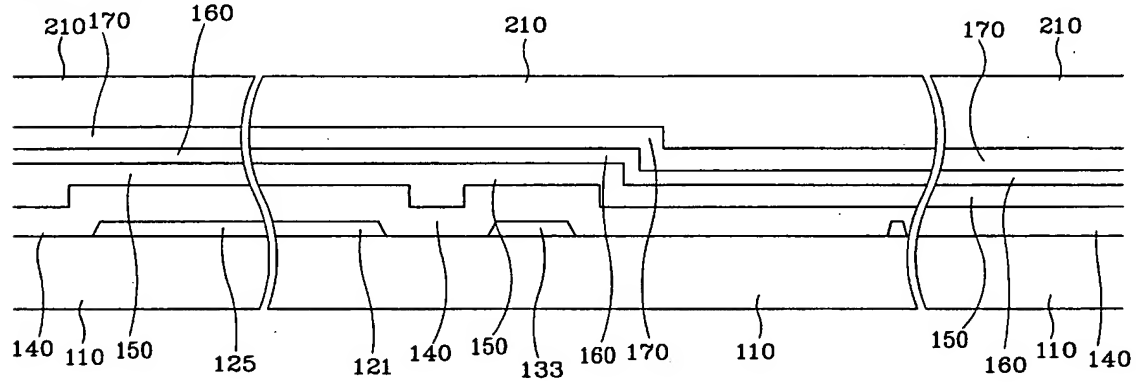
【도 13b】



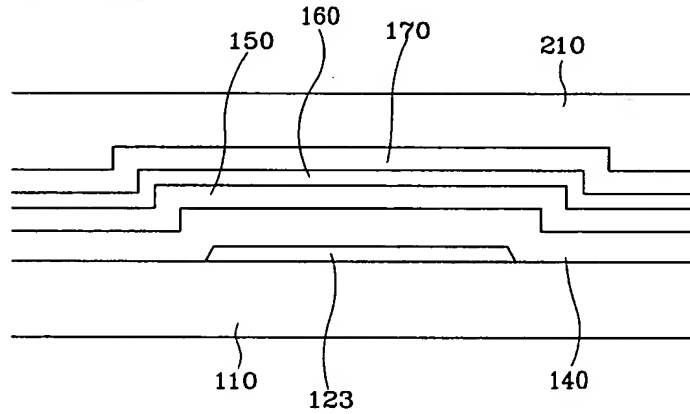
【도 13c】



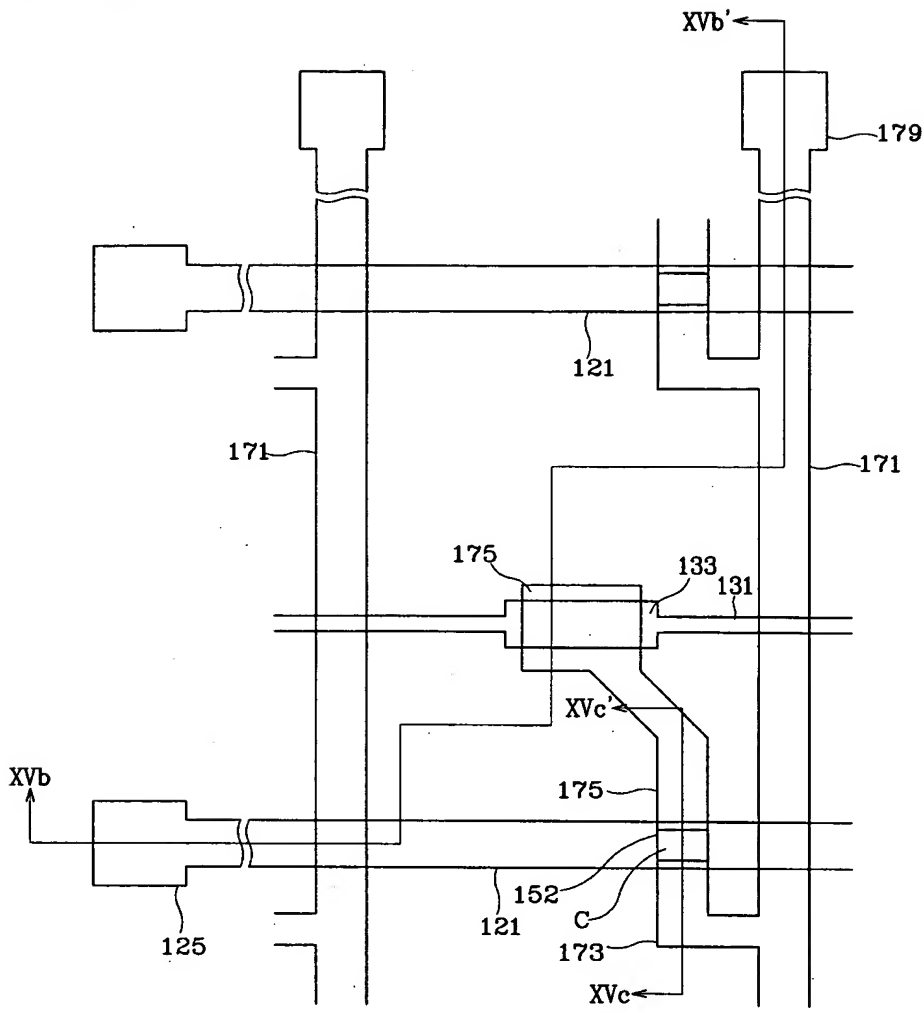
【도 14a】



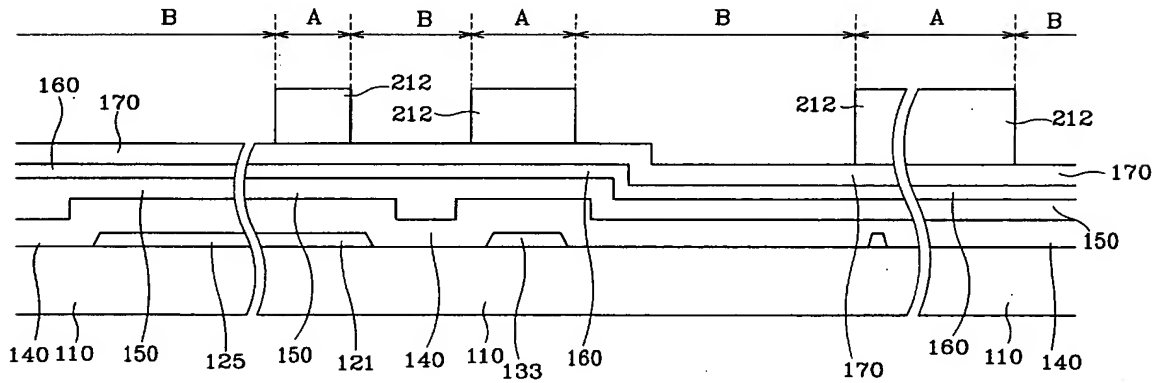
【도 14b】



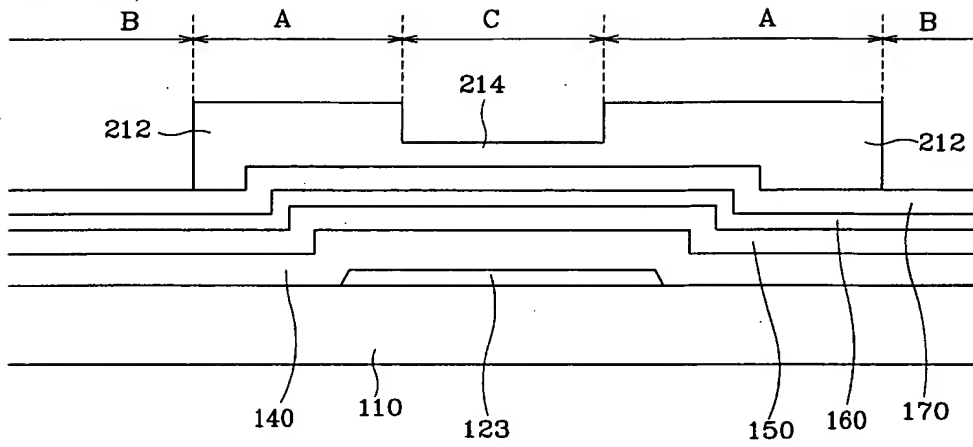
【도 15a】



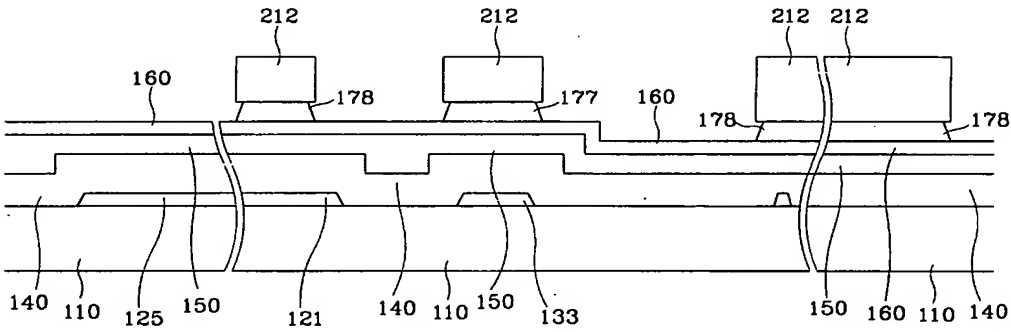
【도 15b】



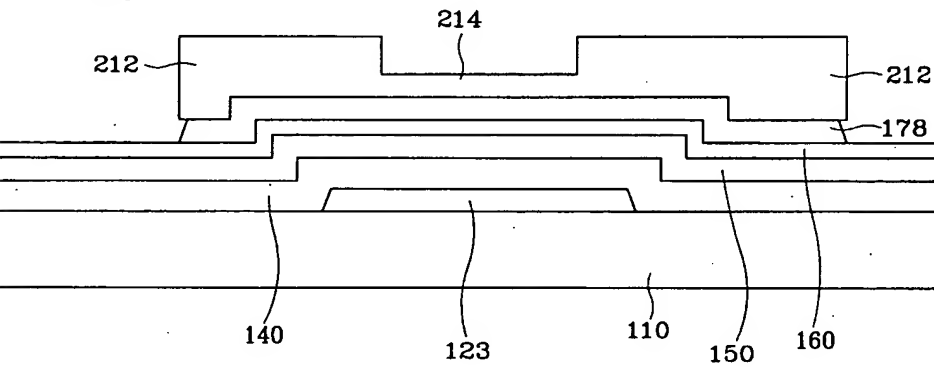
【도 15c】



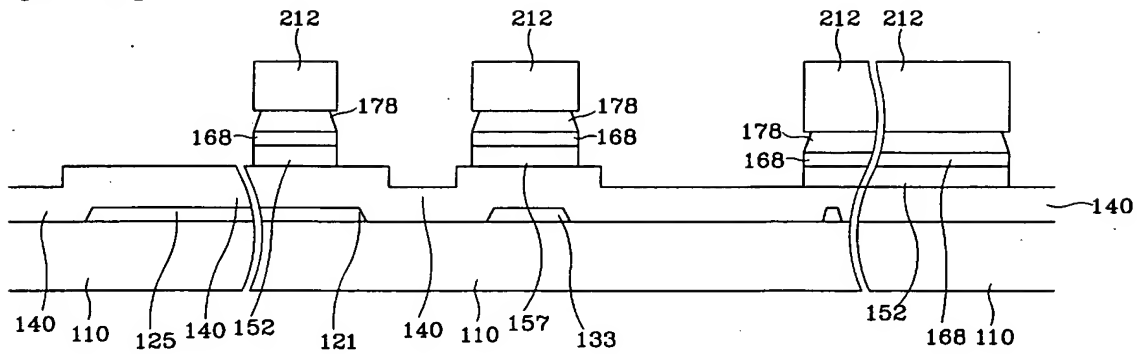
【도 16a】



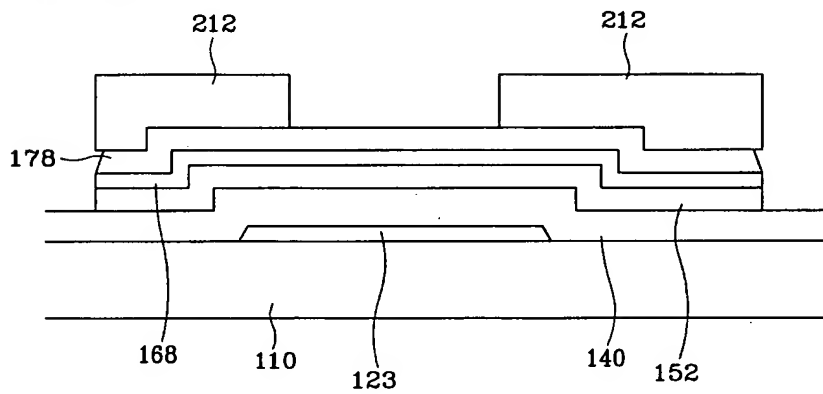
【도 16b】



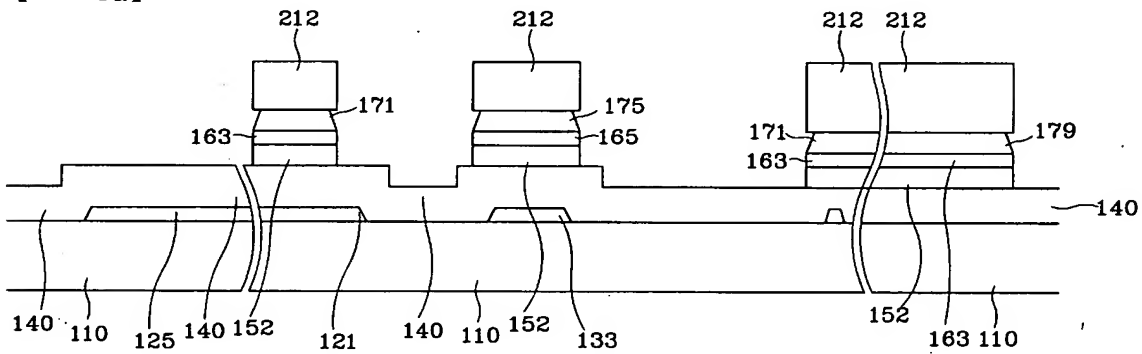
【도 17a】



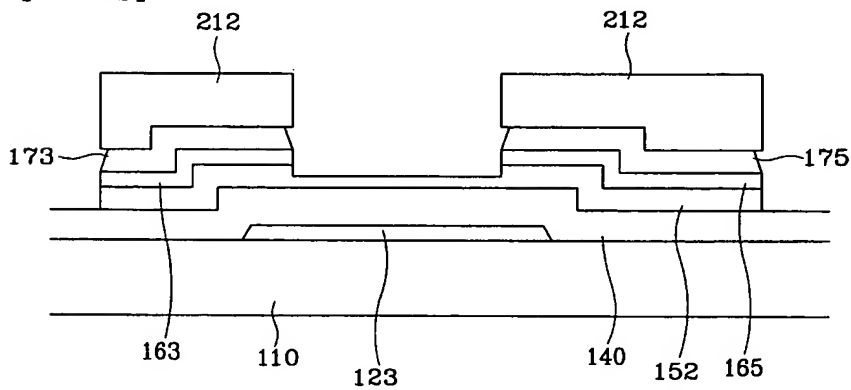
【도 17b】



【도 18a】

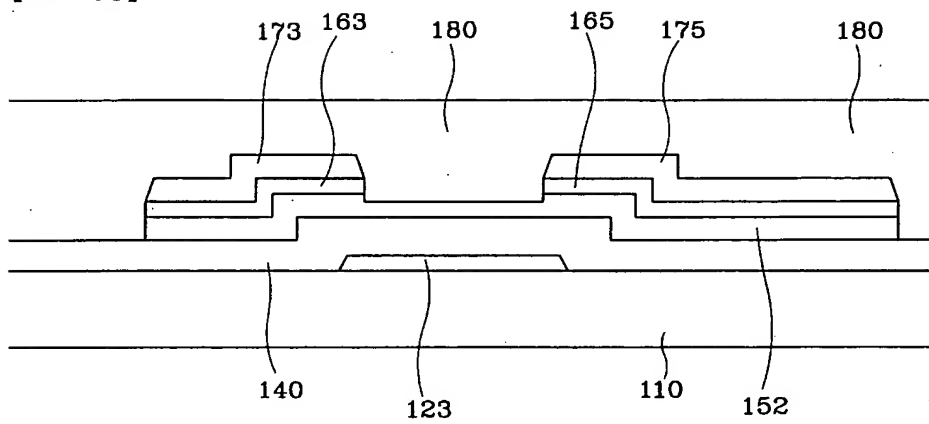


【도 18b】

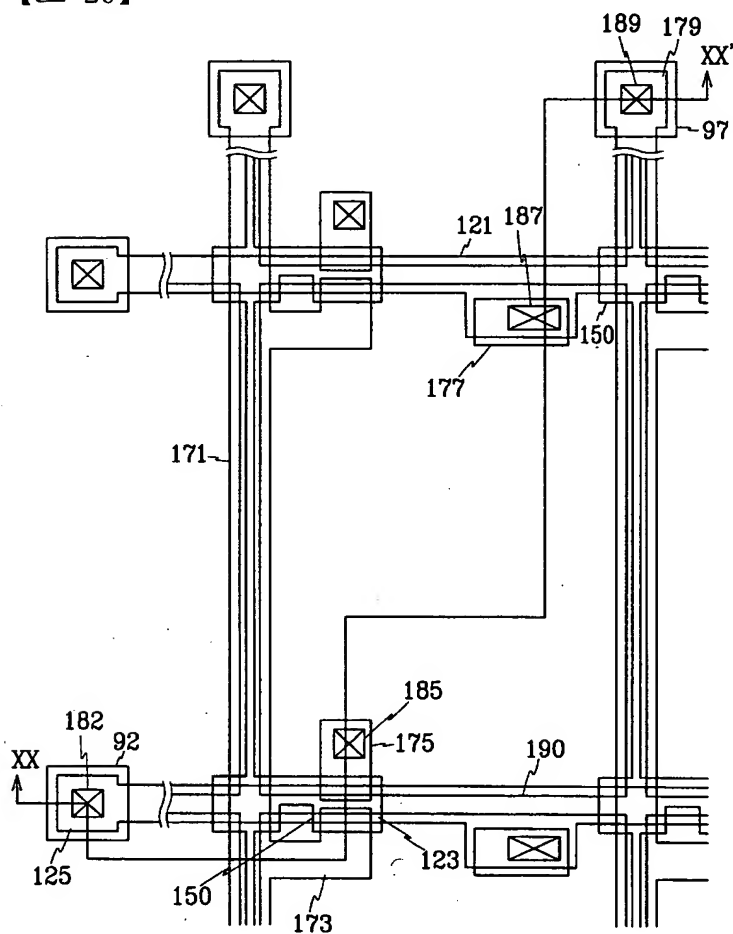


This cross-sectional view shows a semiconductor device with a substrate 110 and a base layer 140. The device features three main regions. The left region includes a structure 180 with a top layer 182 and a bottom layer 180, with a gap 125 between them. The middle region includes a structure 180 with a top layer 185 and a bottom layer 180, with a gap 152 between them. The right region includes a structure 180 with a top layer 189 and a bottom layer 180, with a gap 152 between them. Various other layers and structures are labeled with reference numerals: 163, 171, 175, 165, 179, 121, 133, 163, 110, 125, 140, 152, 121, 140, 110, 152, 133, 152, 163, 110.

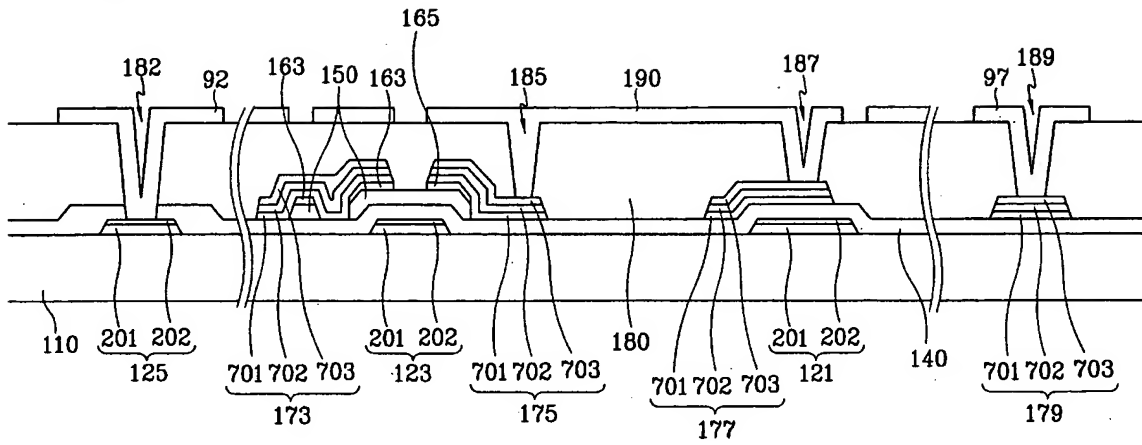
【도 19c】



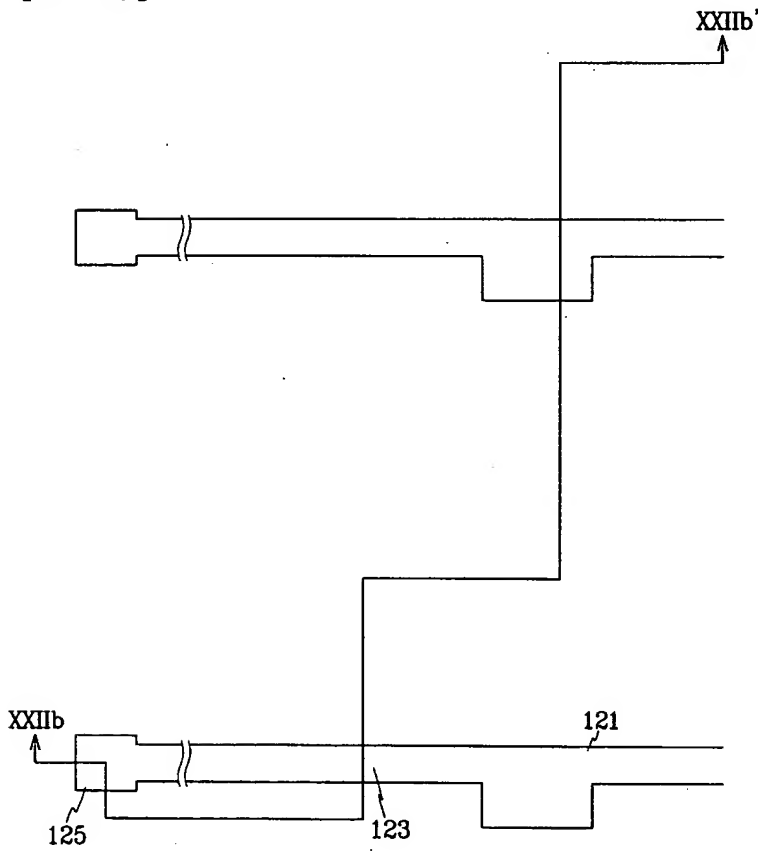
【도 20】



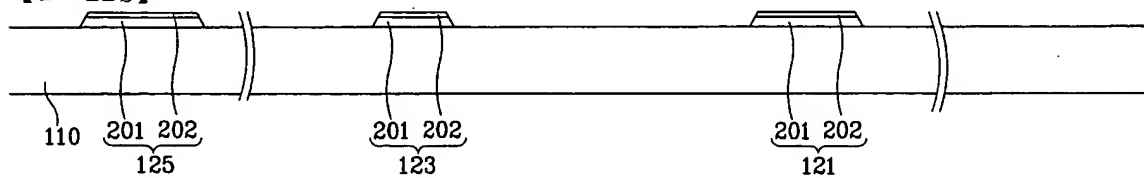
【도 21】



【도 22a】



【도 22b】

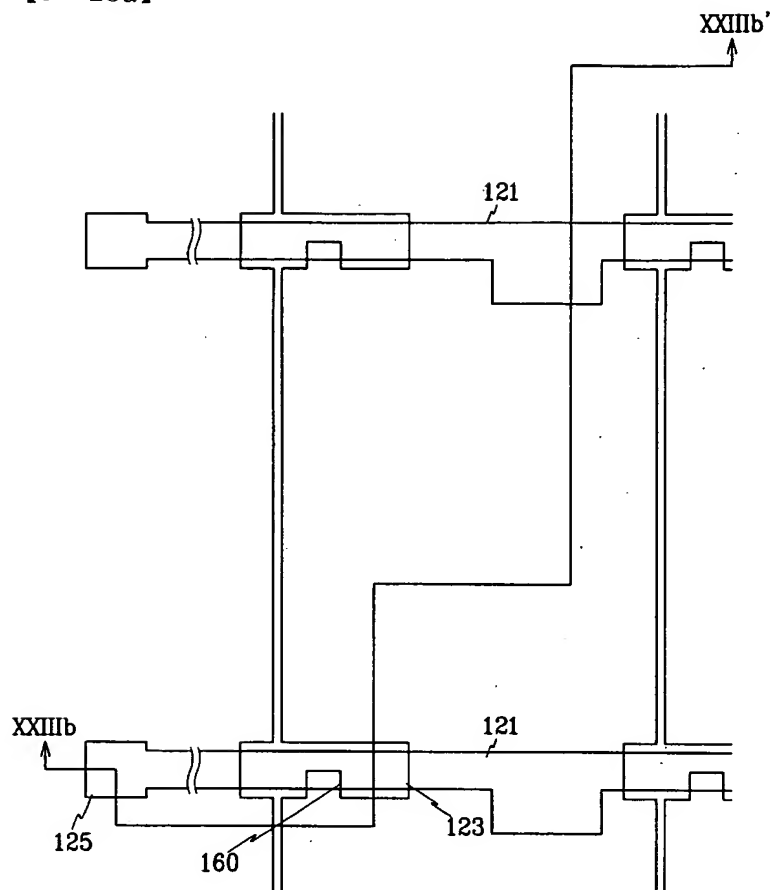




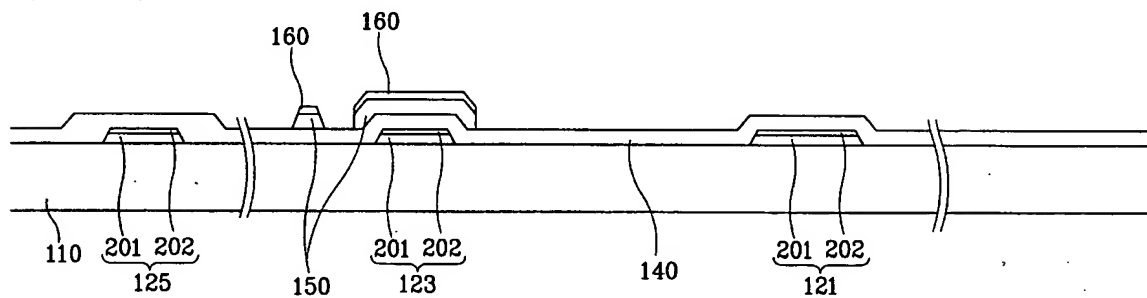
1020030034007

출력 일자: 2004/2/4

【도 23a】

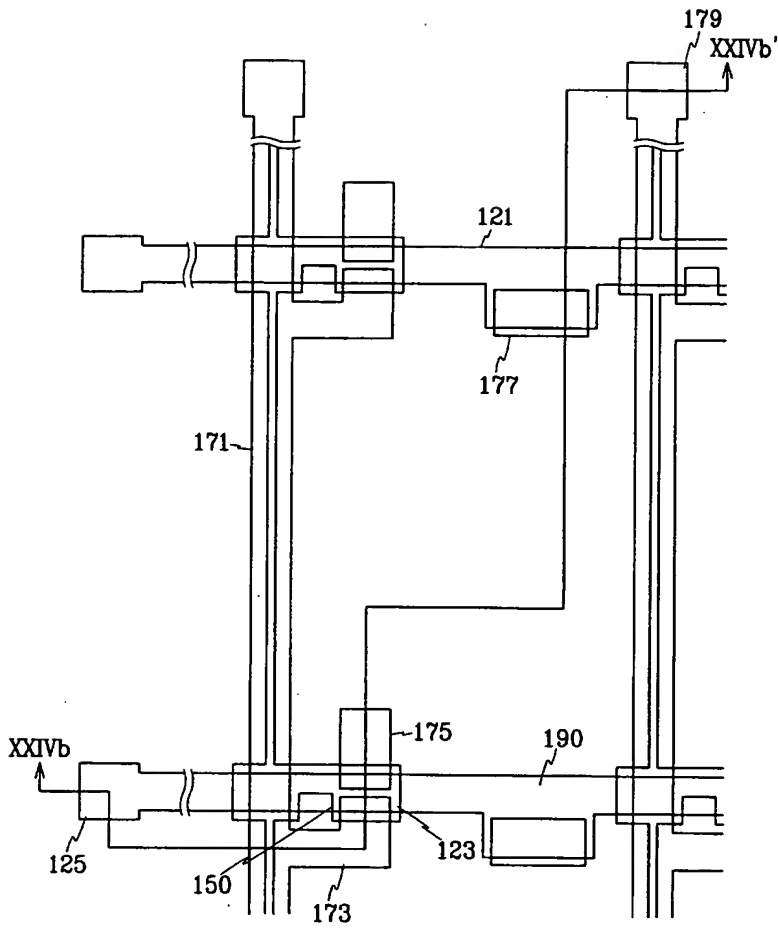


【도 23b】

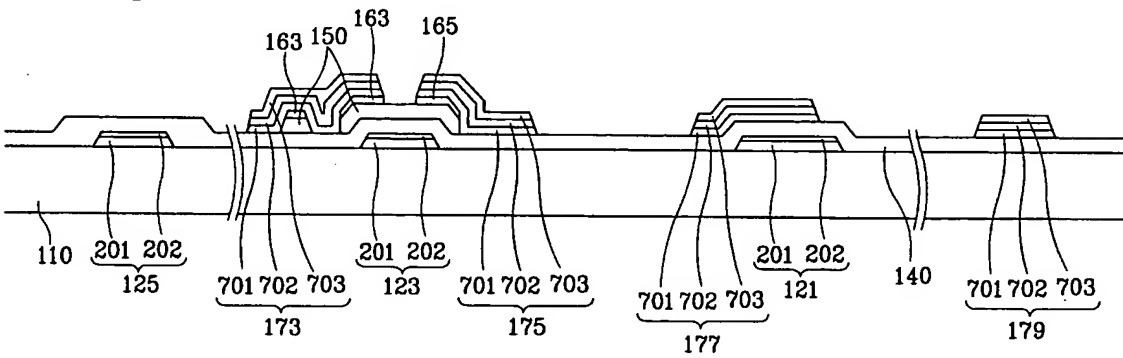




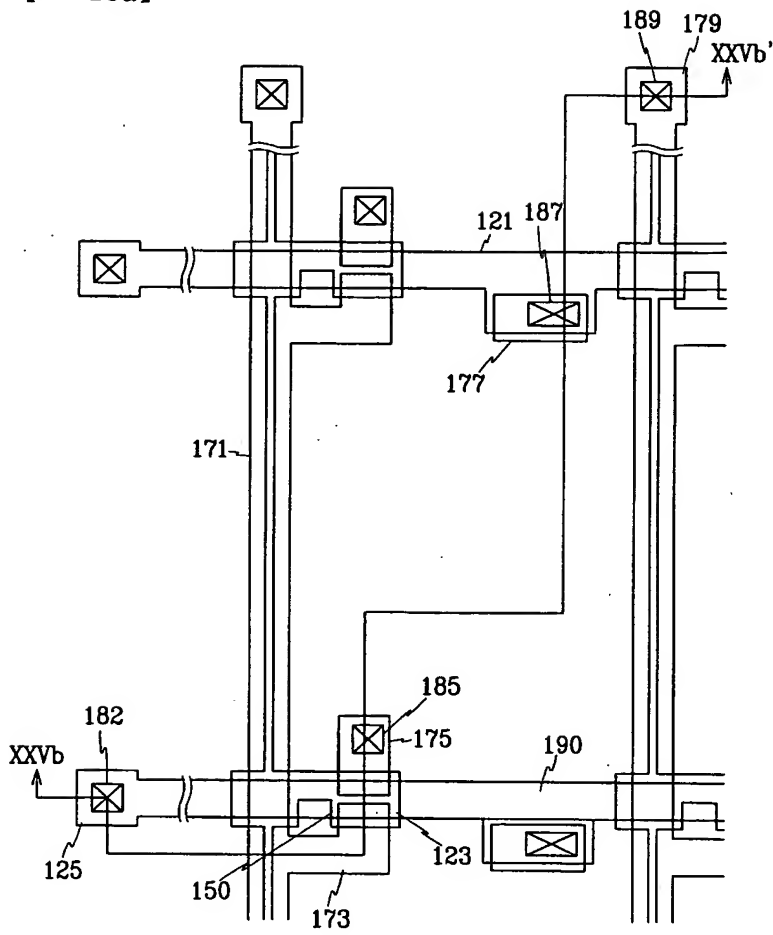
【도 24a】



【도 24b】



【도 25a】



【도 25b】

